

应用指南AN-47

TOPSwitch-JX产品系列



设计指南

简介

TOPSwitch-JX产品系列是高度集成的单片离线式开关IC，专为离线式电源而设计。使用TOPSwitch-JX集成电路能够设计出输出功率高达244 W的电源，同时所有负载条件下均具有高效率。TOPSwitch-JX在低负载及待机（空载）工作条件下还具有极佳的性能。TOPSwitch-JX产品系列能够使设计师轻松满足最新能效标准的效率要求。TOPSwitch-JX具有很多创新的专利技术，不仅能够设计出结构紧凑、经济高效的开关电源，同时还能缩短整体设计周期并降低系统成本。此外，使用TOPSwitch-JX产品系列设计出的电源还具有可靠的系统性能以及增强的安全特性，例如输出过压保护、过载功率限制及迟滞热关断保护等。

该系列中的每个产品都在一个硅片上集成了一个高压功率MOSFET及控制器。内部连接到漏极的高压电流源在启动阶段提供偏置电流，从而省去了外部启动电路。内部振荡器具有频率调制（抖动）特性，可以降低EMI。此外，IC还集成了一些功能用于系统级的保护。自动重启功能可以在过载、输出短路或开环条件下限制MOSFET、变压器及输出二极管中的功率耗散。自动恢复迟滞热关断功能还可以在结温度超过安全限值时禁止MOSFET开关。可设定的欠压/过压(UV/OV)检测功能允许在电压跌落或浪涌条件下启动和关断电源，而不会出现不良波动。Power Integrations

的EcoSmart®技术令使用TOPSwitch-JX产品系列设计的电源，其空载功耗小于100 mW，并在整个输入电压及负载范围内保持恒定的效率。TOPSwitch-JX系列解决方案能够轻松满足欧盟行为准则(CoC)、欧盟委员会用能产品生态设计指令(EC EuP)及能源之星等能效标准。

基本电路结构

特定应用的个别要求，如恒流、恒定输出功率等不在本设计指南的讨论范围。但是，可以在本文所示的基本转换器电路当中增加额外的电路来实现这些特别的要求。有关其它电路功能、设计范例的更多信息及其它信息，请访问Power Integrations的网站或联系您的PI销售代表。

范围

本应用指南旨在帮助工程师使用TOPSwitch-JX系列器件设计一个隔离的AC-DC反激式开关电源。工程师可以利用本文所述的指导方法快速选择所需的关键元件并完成合适的变压器设计。为方便起见，本文直接参考了PI Xls变压器设计表格，该设计表格为PI Expert®设计软件套件的一部分，可从powerint.com免费获取。TOPSwitch-JX反激式电源的基本电路结构如图1所示，本应用指南也使用该电路作为参考电路，对其中的元件设计加以讨论。

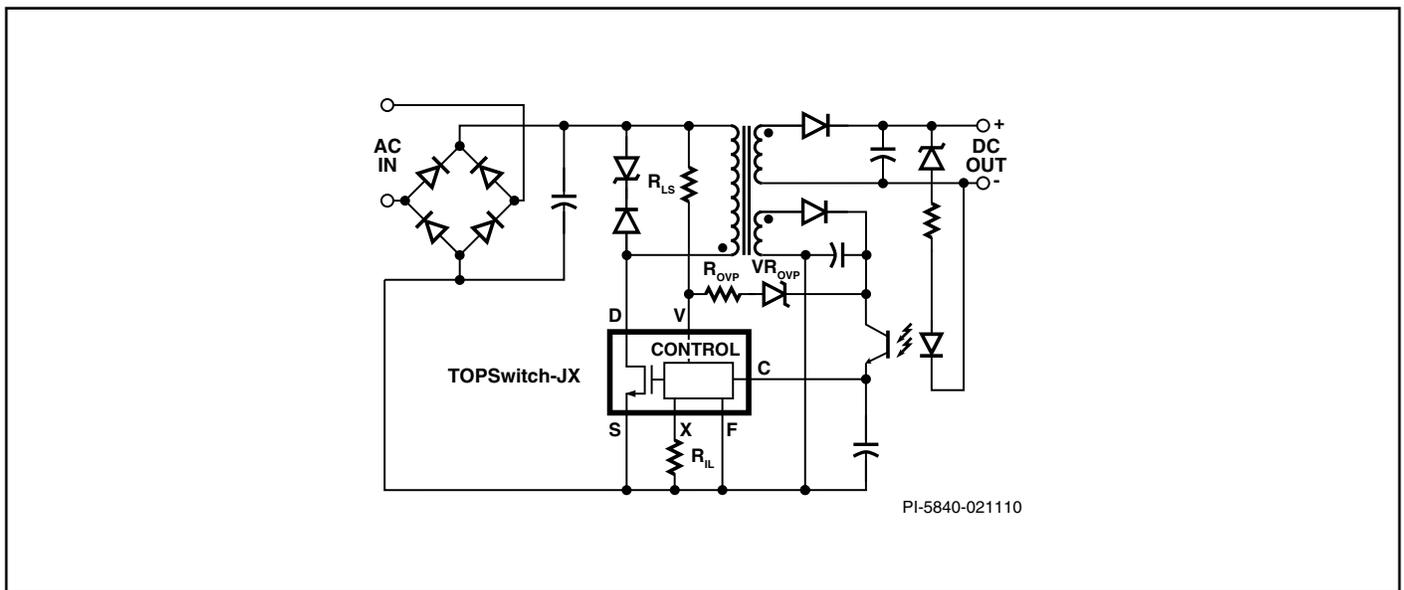


图 1. 具有初级检测的输出过压保护、输入欠压锁存、输入过压关断及可设定流限值功能的典型TOPSwitch-JX反激式电源

除了本应用指南之外，您还会发现TOPSwitch-JX参考设计套件(RDK)非常有用。每个套件中都包括功能完备的工程原型样板、工程报告及器件样品。关于PI Expert软件下载、如何得到RDK及本文档最新更新方面的详细信息，请访问www.powerint.com。

快速入门

熟悉电源设计和Power Integrations设计软件的读者可以选择跳过后面所述的详细设计方法，使用以下信息快速设计变压器并选择第一个原型所需的元件。对于此设计方法，只要将如下所述的信息输入PI Xls表格，其它参数就会由PI Xls表格根据典型的设计要求自动选取出来。方括号当中的数值表示PIXls表格中单元的位置。

- 输入交流输入电压范围，包括最小值 V_{AC_MIN} 、最大值 V_{AC_MAX} 及最低交流输入频率 f_L [B3, B4, B5]
- 输入额定输出电压 V_o [B6]
- 对于具有峰值负载要求的设计，输入平均输出功率，其它设计则输入连续（平均）输入功率[B7]
- 对于具有峰值负载电流的设计，输入峰值负载电流，其它设计则留空[B8]
- 输入效率估计值[B11]
- 对于通用输入电压范围(85-265 VAC)或单电压100/115 VAC (85-132 VAC)取值0.8；
 - 对于单电压230 VAC (185-265 VAC)取值0.85。根据在峰值负载和最低交流输入电压条件下测得的效率值，相应地调整表格中估计的效率取值。
- 输入损耗分配因子Z [B12]
 - 对于典型的应用取值0.5（完成首件工程样板评估后相应地调整该取值）
- 输入输入滤波电容容量 C_{IN} [B15]
 - 通用电压(85-265 VAC)或单电压(100/115 VAC)输入时取值2~3 $\mu F/W$
 - 对于单电压230 VAC (185-265 VAC)输入取值1 $\mu F/W$
- 直接输入或从下拉菜单中选择TOPSwitch-JX型号[B19]
 - 从下面的功率表中根据输出功率及输入电压范围选择合适的器件
- 输入工作频率 - [B24]
 - 选择“H”表示工作在66 kHz频率上
 - 选择“F”表示工作在132 kHz频率上
- 从下拉菜单中选择磁芯类型[B54]
 - 如果无任何磁芯型号输入，数据表会自动选择合适的磁芯
- 如果有任何警告显示，请按照设计表格F栏中的以下说明更改设计
- 制作变压器
- 选择关键元件
- 参见第7步至第12步。
- 制作原型并根据需要反复调整设计。用测量的实际结果替换设计表格中原来假设的参数（比如效率、最低输入电压 V_{MIN} ）。
- Power Integrations提供了变压器原型服务以及指向其它供应商的链接 - 有关详细信息，请参阅www.powerint.com/componentsuppliers.htm。

输出功率表

产品 ⁵	PCB铺铜区域 ¹				产品 ⁵	金属散热片 ¹			
	230 VAC $\pm 15\%$ ⁴		85-265 VAC			230 VAC $\pm 15\%$ ⁴		85-265 VAC	
	适配器 ²	敞开式 ³	适配器 ²	敞开式 ³		适配器 ²	敞开式 ³	适配器 ²	敞开式 ³
TOP264VG	21 W	34 W	12 W	22.5 W	TOP264EG/VG	30 W	62 W	20 W	43 W
TOP265VG	22.5 W	36 W	15 W	25 W	TOP265EG/VG	40 W	81 W	26 W	57 W
TOP266VG	24 W	39 W	17 W	28.5 W	TOP266EG/VG	60 W	119 W	40 W	86 W
TOP267VG	27.5 W	44 W	19 W	32 W	TOP267EG/VG	85 W	137 W	55 W	103 W
TOP268VG	30 W	48 W	21.5 W	36 W	TOP268EG/VG	105 W	148 W	70 W	112 W
TOP269VG	32 W	51 W	22.5 W	37.5 W	TOP269EG/VG	128 W	162 W	80 W	120 W
TOP270VG	34 W	55 W	24.5 W	41 W	TOP270EG/VG	147 W	190 W	93 W	140 W
TOP271VG	36 W	59 W	26 W	43 W	TOP271EG/VG	177 W	244 W	118 W	177 W

表 1. 输出功率表

注释：

1. 详细信息请参见“主要应用指南”部分。
2. 最小连续输出功率是在典型的无风冷密闭适配器中、环境温度为+50 °C的条件下测量得到的。
3. 最小连续输出功率是在敞开式设计，环境温度为+50 °C的条件下测量得到的。
4. 230 VAC或110/115 VAC倍压整流。
5. 封装：E：eSIP-7C；V：eDIP-12。请参见元件订购信息。

变压器设计步骤简介

使用本设计流程可以设计出具有或不具有峰值输出功率要求的电源。对于峰值功率要求，该器件的电流限流点可使电源在短时间内提供峰值功率，其峰值功率仅受TOPSwitch-JX封装的散热特性及电路中其它元件额定值的影响。

随着平均功率的增加，必须选择较大的变压器，以增大绕组的导电面积或提高器件的散热量，进而降低变压器和器件的温升。

功率表（表1）中列出了在密闭的适配器和开放式应用中可得到的峰值功率与连续（平均）功率的参考数据。对于不采用外部散热片的V封装，适配器和敞开放式环境下的功率值受温度影响。峰值数值表示受电气影响的输出功率，假定前提是工作在限流点（ $I_{LIM(MIN)}$ ）。对于E封装，适配器功率值也受散热影响，但敞开放式数值则受电气影响，因此也表示峰值输出功率。由于连续功率值受温度影响，它们表示在最差情况下的连续功率上限值，但可能因应用的不同而有所不同。例如，如果峰值功率输出时占空比很低，如在关闭DVD播放器舱门时，峰值功率持续1秒钟，那么器件（和变压器）温升只与连续功率有关。但是，如果峰值功率重复出现且占空比较大，那么该峰值功率需要被确定为设计中的制约因素。

图2显示了在两个不同的峰值负载条件下如何计算所要求的平均输出功率。

$$P_{AVE} = P_1 + (P_3 - P_1) \times \delta_1 + (P_2 - P_1) \times \delta_2$$

$$\delta_1 = \frac{\Delta t_1}{T}, \delta_2 = \frac{\Delta t_2}{T}$$

其中 P_x 表示不同的输出功率， Δt_x 表示每个峰值功率的持续时间，T为脉冲负载循环一次所需的时间。

此设计步骤要求明确峰值和连续（平均）输出功率的大小。如果设计没有峰值功率要求，则峰值和连续输出功率应当使用相同的值。

峰值功率用来选择合适的TOPSwitch-JX器件，并据此设计变压器以保证在最低输入电压下能够提供足够的功率。而连续功率

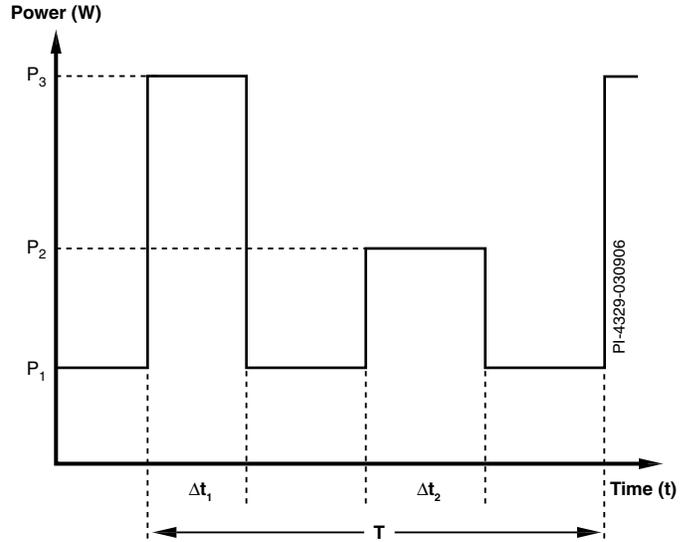


图2 连续（平均）输出功率的计算举例

（或者平均功率，在峰值功率是周期性的情况下）用来考虑散热方面的设计，会影响变压器的尺寸及散热片的大小。

第1步 - 输入应用变量 VAC_{MIN} 、 VAC_{MAX} 、 f_L 、 V_O 、 $P_{O(AVE)}$ 、 $P_{O(PEAK)}$ 、 η 、 Z 、 V_B 、 t_C 及 C_{IN}

从表2当中确定输入电压范围。

额定输入电压(VAC)	VAC_{MIN}	VAC_{MAX}
100/115	85	132
230	195	265
通用电压范围	85	265

表2. 标准的全球输入电压范围

线电压（输入电压）频率， f_L

对于通用输入电压或单电压110 VAC输入取值50 Hz；对于单电压115 VAC输入取值60 Hz，对于单电压230 VAC输入取值50 Hz。这些值表示典型的线电压频率，而不是最小频率。对于大多数应用，这都预留了足够的整体设计裕量。在绝对最差情况下或根据产品规格，可以将这些数值降低6%（47 Hz或56 Hz）。如果是半波整流，可以使用 $f_L/2$ 。如果是直流输入，请直接将电压输入单元格B67和B68。

ENTER APPLICATION VARIABLES				Design title
VACMIN	85		Volts	Minimum AC Input Voltage
VACMAX	265		Volts	Maximum AC Input Voltage
fL	50		Hertz	AC Mains Frequency
VO	5.00		Volts	Output Voltage (main)
PO_AVG	35.00		Watts	Average Output Power
PO_PEAK		35.00	Watts	Peak Output Power
Heatsink Type	External Adapter	External		Heatsink Type
Enclosure				Open Frame enclosure assume sufficient airflow while adapter means a sealed enclosure.
n	0.80		%/100	Efficiency Estimate
Z	0.50			Loss Allocation Factor
VB	12		Volts	Bias Voltage - Verify that VB is > 8 V at no load and VMAX
tC	3.00		ms	Bridge Rectifier Conduction Time Estimate
CIN	68.0		uFarads	Input Filter Capacitor

图3. TOPSwitch-JX设计表格中应用变量的选择

DC INPUT VOLTAGE PARAMETERS				
V _{MIN}			74 Volts	Minimum DC Input Voltage
V _{MAX}			375 Volts	Maximum DC Input Voltage

图 4. 灰色单元用来输入直流电压的参数数值

额定输出电压, V_O (V)

在连续输出负载情况下, 输入电源主输出的额定输出电压。一般来讲, 反馈电路都是连接到主输出上。

连续/平均输出功率, P_{O(AVE)} (W)

输入电源的平均输出功率。如果电源是多路输出电源, 请输入所有输出的功率总和。

峰值输出功率, P_{O(PEAK)} (W)

输入峰值负载条件下的峰值输出功率。如果设计没有峰值负载要求, 那么将此参数留空并假定一个等于P_{O(AVE)}的值。P_{O(PEAK)}用于计算初级电感值。

在多路输出的设计中, 应增大主输出(通常有反馈电路连接的输出)的输出功率, 使得峰值输出功率(或最大连续输出功率)等于电源所有输出功率的总和。其它各个输出的电压和电流可以在设计表格的最后部分输入(单元格[B122至B168])。

选择散热片类型和外壳

外壳决定了TOPSwitch-JX器件的最大功率能力。如果要将电源装入一个密闭的塑料壳体内(就像笔记本电脑电源一样), 则需要选择适配器外壳。另一方面, 如果电源通风良好, 则需要选择敞开放式外壳。

根据所选择的封装类型, 选择相应的散热片类型。E封装必须使用外部散热片, 而V封装可以使用外部散热片, 也可以不用外部散热片。不使用外部散热片时, 只有PCB铺铜区域才能提供散热功能。不过, 由于PCB热阻抗会增大, 与使用外部散热片相比, 本设计的最大功率能力将有所降低。

电源效率, η

输入整个电源的估计效率, 是在峰值负载及最差的输入电压(一般为最低输入电压)条件下由输出端测得的效率。85 VAC输入下VAC_{MIN}的起始值取80%, 195 VAC下的起始值取85%。对于大部分输出功率来自于一个12 V的输出电压、次级没有输出电流检测电阻的电源设计, 这些起始值都是典型值。对于5 V输出, 建议对85 VAC的VAC_{MIN}取75%的起始值, 对195 VAC则取80%的起始值。一旦完成了工程原型, 接着应输入实际测量的电源效率, 并根据需要重新校验变压器的设计。

电源损耗分配因子, Z

此参数表示电源初级侧及次级侧损耗所占的比例。Z参数和效率参数决定了功率级要处理的实际功率。例如, 功率级(通过变压器传输)不会处理在输入级(EMI滤波器、整流电路等)的损耗, 因此尽管输入级的损耗降低了效率, 但这并不会影响变压器的设计。

$$Z = \frac{\text{初级侧损耗}}{\text{总损耗}}$$

初级侧损耗的例子包括输入整流器损耗、EMI滤波器损耗、MOSFET导通损耗以及初级侧绕组损耗。次级侧损耗的例子包括次级二极管损耗、次级绕组和磁芯损耗, 以及与初级箝位电路和偏置绕组相关的损耗。如果设计没有峰值功率要求, 则建议该参数取值0.5。如果设计有峰值功率要求, 则取值0.65。该差异与峰值功率负载下的输入级损耗增加有关。

偏置绕组输出电压, (V_θ)

输入偏置绕组输出的输出电压, 建议采用15 V的起始值。电压可以被设定为不同的值, 例如, 当偏置绕组输出也用作一个初级侧的(非隔离)辅助输出时。电压较高时会提高空载输入功率, 不建议取低于8 V的值, 因为在轻载时可能没有足够的电压来正确偏置光耦器, 从而造成输出失调。建议在偏置绕组输出滤波器中使用一个最小值为10 μF, 50 V的电解电容。

桥式二极管的导通时间, t_c (ms)

如果无法确定, 将输入整流二极管的导通时间取3.00 ms。

总输入电容容量, C_{IN} (μF)

表3给出了适用于在不同AC输入电压范围内计算输入滤波电容容量的建议倍增系数。

交流输入电压(VAC)	每瓦特输出功率应使用的 总输入电容容量(μF/W) 全波整流
100/115	2 - 3
230	1
85-265	2 - 3

表 3. 不同的输入电压范围建议的总输入电容容量

输入电容容量用来计算大容量电容的最小及最大直流输入电压。必须使用足够的输入电容保证最低直流输入电压(V_{MIN}) > 70 V。

第二步 – 输入TOPSwitch-JX变量：器件、流限、 V_{OR} 、 V_{DS} 、 V_D ，并选择正确的TOPSwitch-JX器件

首先，参照TOPSwitch-JX功率表并根据峰值输出功率设计选择一个器件。然后将连续输出功率与功率表中适配器应用的连续功率数值进行比较（如果电源是全封闭式设计），或将连续输出功率与开放式应用中的连续功率数值进行比较（如果电源是开放式设计）。如果要求的连续功率超过了功率表（表1）中给定的数值，则应选择相邻更大的器件。同样，如果连续输出功率接近功率表中所列的适配器功率数值，则需要根据实际工程原型的温升测量结果来确定是否需要选择更大型号的器件。

外部流限降低系数，KI

系数KI设定流限阈值。这样可以对限流点进行细微调整，使其高于功率输出所需的最小峰值电流(I_p)。并可通过限制过载和启动期间的峰值磁通密度(BP)来优化变压器的设计。

为提高效率和改善散热性能，还可以通过减小KI来选用比所需输出功率更大的TOPSwitch-JX器件，从而使较大器件的流限等于原来选择的较小器件的流限。

高输入电压工作模式

此参数用于确认TOPSwitch-JX的高输入电压工作模式。建议在高输入电压下以全频模式工作，因为这样将会启用开关频率调制功能。（请参阅TOPSwitch-JX数据手册，了解有关工作模式的说明）。此外还将改善EMI性能。

反射输出电压， V_{OR} (V)

反射电压为输出二极管导通期间次级绕组电压以变压器变比的比例反射到初级绕组上而形成的电压。默认值为135 V；但 V_{OR} 的可接受范围介于80 V到135 V之间，前提是在数据手册中没有触发警告。为达到设计优化的目的，应综合考虑如下因素：

1. 较高的 V_{OR} 允许在最低电压 V_{MIN} 时获得更高的输出功率，这会降低输入电容值和提高给定TOPSwitch-JX器件的输出功率。

2. 较高的 V_{OR} 会降低输出二极管上的电压应力，这样有时可以使用较低的正向电压降肖特二极管，从而实现效率的提高。
3. V_{OR} 较高会增加漏感和提高箝位损耗，这会降低电源的效率并损害多路输出设计中的交叉稳压性能。
4. 较高的 V_{OR} 会增大次级侧的峰值电流及RMS电流，从而增加次级侧的铜损和二极管损耗。

选择最佳的 V_{OR} 值取决于具体应用，并且需要综合考虑上述各因素。

对于较低电压输出（约5 V或多路输出设计），选取约为100 V - 110 V的较低 V_{OR} 值通常比较合适。对于较高的电压输出（12 V或更高），选取约为120 - 135 V的较高值比较合适。

通常不建议选择低于80 V的值。低 V_{OR} 会导致启动期间过度触发MOSFET自保护功能，特别是在所有输出电压都大于5 V的设计中更是如此（参见表4中的汇总信息）。

TOPSwitch-JX导通状态漏极-源极的电压， V_{DS} (V)

此参数为TOPSwitch-JX的漏极源极间的平均导通电压。如果该灰色单元为空，缺省的电压值为10 V。如果没有合适的数值，使用默认值即可。

输出二极管正向电压降， V_D (V)

输入（主）输出二极管的平均正向电压降。如果没有合适的数值选择，对于肖特基二极管取值0.5，对于PN结二极管取值为0.7 V。假定的默认值为0.5 V。

偏置绕组二极管正向电压降， V_{DB} (V)

输入偏置绕组输出二极管的平均正向电压降。PN二极管取值0.7 V。

纹波电流与峰值电流的比例，KP

图6显示 $K_p < 1$ ，该值表示连续导通模式， K_p 为纹波电流与峰值初级电流的比例。

ENTER TOPSWITCH-JX VARIABLES					
TOPSwitch-JX	TOP266E			Universal / Peak	115 Doubled/230V
Chosen Device		TOP266E	Power Out	40 W / 86 W	60W
KI	0.53				External llimit reduction factor (KI=1.0 for default ILIMIT, KI <1.0 for lower ILIMIT)
ILIMITMIN_EXT			1.257	Amps	Use 1% resistor in setting external ILIMIT
ILIMITMAX_EXT			1.446	Amps	Use 1% resistor in setting external ILIMIT
Frequency (F)=132kHz, (H)=66kHz		F	F		Select 'H' for Half frequency - 66kHz, or 'F' for Full frequency - 132kHz
fS			132000	Hertz	TOPSwitch-JX Switching Frequency: Choose between 132 kHz and 66 kHz
fSmin			119000	Hertz	TOPSwitch-JX Minimum Switching Frequency
fSmax			145000	Hertz	TOPSwitch-JX Maximum Switching Frequency
High Line Operating Mode			FF		Full Frequency, Jitter enabled
VOR	135.00			Volts	Reflected Output Voltage
VDS			10	Volts	TOPSwitch on-state Drain to Source Voltage
VD	0.50			Volts	Output Winding Diode Forward Voltage Drop
VDB	0.70			Volts	Bias Winding Diode Forward Voltage Drop
KP	0.50				Ripple to Peak Current Ratio (0.3 < KRP < 1.0 : 1.0 < KDP < 6.0)

图 5. 设计表格内的TOPSwitch-JX部分

性能目标	V _{OR} 建议值	备注
最大输出功率/最小 TOPSwitch-JX 器件	135 V	最大化给定器件的输出功率
最高效率	100 V - 120 V	给出导通、输出二极管与漏感之间的最低整体损耗
多路输出设计	90 V - 110 V	通过降低变压器漏感和峰值次级电流来提高交叉稳压

表 4. 建议的V_{OR}值

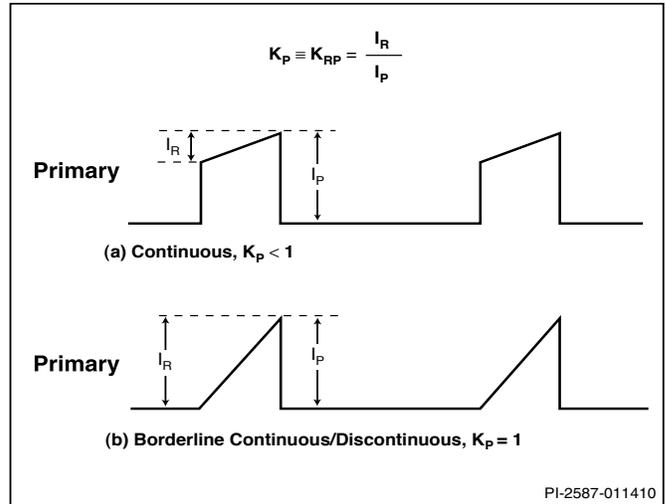


图 6. 连续模式电流波形, $K_p \leq 1$

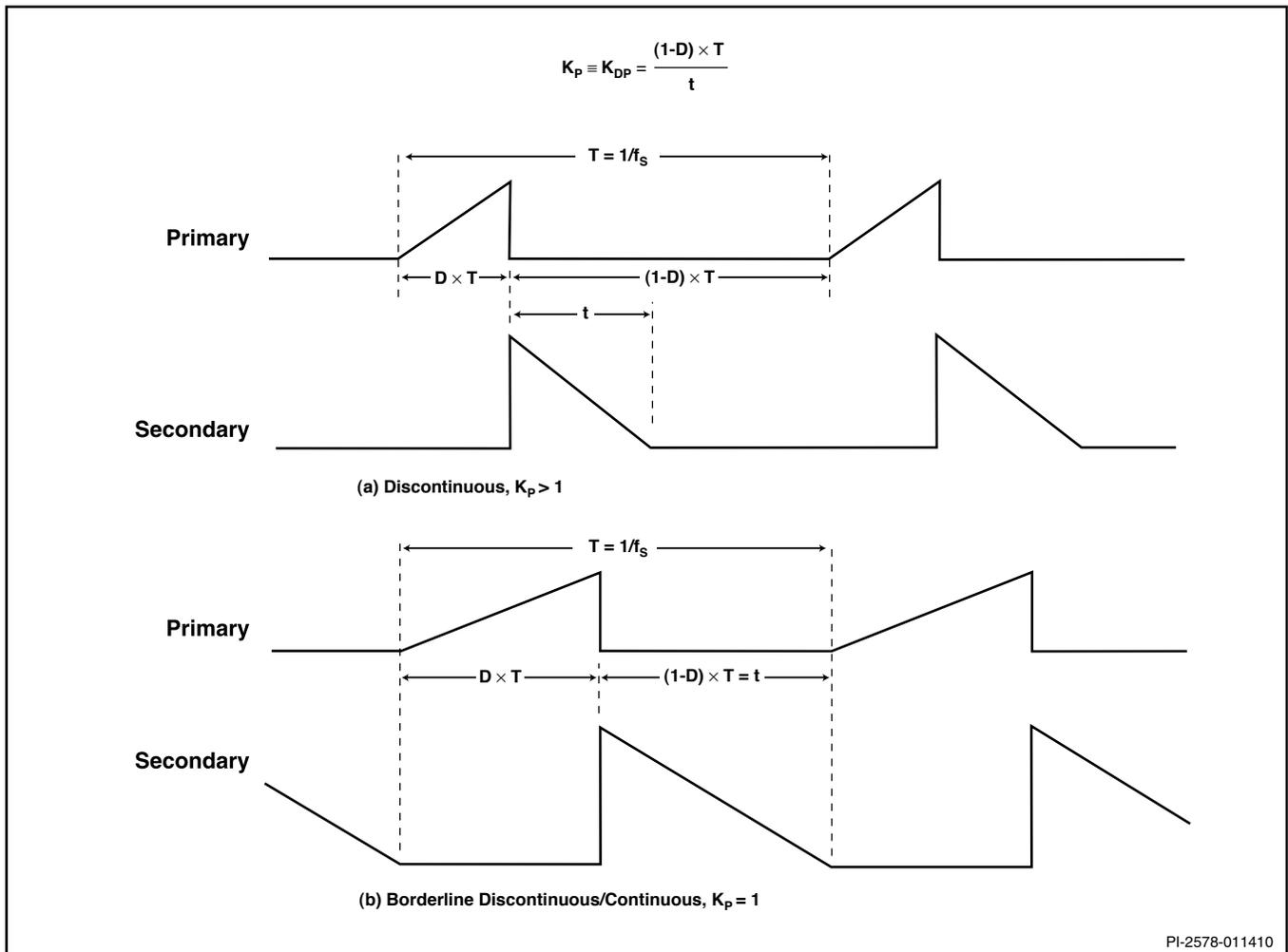


图 7. 非连续模式下的电流波形, $K_p \geq 1$

PROTECTION FEATURES				
LINE SENSING				
VUV_STARTUP			95 Volts	V pin functionality Minimum DC Bus Voltage at which the power supply will start-up
VOV_SHUTDOWN			445 Volts	Typical DC Bus Voltage at which power supply will shut-down (Max)
RLS			4.0 M-ohms	Use two standard, 2 M-Ohm, 5% resistors in series for line sense functionality.
OUTPUT OVERVOLTAGE				
VZ			22 Volts	Zener Diode rated voltage for Output Overvoltage shutdown protection
RZ			5.1 k-ohms	Output OVP resistor. For latching shutdown use 20 ohm resistor instead
OVERLOAD POWER LIMITING				
X pin functionality				
Overload Current Ratio at VMAX			1.2	Enter the desired margin to current limit at VMAX. A value of 1.2 indicates that the current limit should be 20% higher than peak primary current at VMAX
Overload Current Ratio at VMIN			1.08	Margin to current limit at low line.
ILIMIT_EXT_VMIN			1.16 A	Peak primary Current at VMIN
ILIMIT_EXT_VMAX			1.04 A	Peak Primary Current at VMAX
RIL			11.74 k-ohms	Current limit/Power Limiting resistor.
RPL			N/A	M-ohms Resistor not required. Use RIL resistor only
CURRENT WAVEFORM SHAPE PARAMETERS				
DMAX			0.68	Maximum Duty Cycle (calculated at PO_PEAK)
Iavg			0.59 Amps	Average Primary Current (calculated at average output power)
IP			1.16 Amps	Peak Primary Current (calculated at Peak output power)
IR			0.58 Amps	Primary Ripple Current (calculated at average output power)
IRMS			0.73 Amps	Primary RMS Current (calculated at average output power)

图 8. 设计表格内的电路保护元件部分

$$K_p \equiv K_{RP} = \frac{I_R}{I_P}$$

图7显示 $K_p \geq 1$ ，该值表示非连续导通模式， K_p 为初级MOSFET关断时间与次级二极管导通时间的比例。

$$K_p \equiv K_{DP} = \frac{V_{OR} \times (1 - D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

K_p 取值应在0.3到6之间($0.3 < K_p < 6$)。如果取值超出这个范围，相应的建议会在该单元中给出。

如果 K_p 值小于1，会降低初级RMS电流，从而提高效率。建议对230 VAC时的 K_p 取0.6 - 0.8之间的值（对于100/115 VAC和通用输入范围取0.4 - 0.6的值），以便能应对由高压下的漏极节点电容造成的非常高和非常宽的前沿电流尖峰。

设计表格将计算本设计的峰值初级电流值、RMS纹波电流值、平均初级电流值及最大占空比。

第三步 - 选择保护特性、输入欠压/过压、输出过压及过载功率限制 - 可选

TOPSwitch-JX的输入欠压锁存特性设定了电源的启动电压，防止在输入电压低于正常工作电压范围时在输出端出现的不良干扰。将一个电阻从滤波电容正端连接到V引脚上就可以实现此功能。在 $V_{UV(START-UP)}$ 旁的单元格中输入电源启动时输入电容上所需的直流电压。设计表格计算最接近标准5%的电阻值 R_{LS} 。

R_{LS} 值还设定了输入过压阈值。临近 $V_{OV(SHUTDOWN)}$ 的单元格中将显示当电源因输入过压而停止工作时的电压。

输出过压关断 - 可选

偏置绕组的输出电压可用于初级检测的输出过压。这是在反馈电路中的某个元件失败时，一种低成本的电源保护方法。

将串联的一个电阻和齐纳二极管从偏置绕组输出连接到V引脚（如图1所示）可以实现此特性。设计表格将会估算在反馈信号失效时启动关断（但不会在瞬态负载条件下，如动态负载变化期间引起误触发）所需的齐纳二极管的值。

发生故障时，偏置绕组电压会升高，从而将齐纳二极管导通并使电流流入V引脚。如果该电流超过112 μA (I_{OV})，开关将立即关断。如果该电流在100 μs 内降到108 μA ，开关可随时恢复。在100 μs 后电源会进入自动重新启动模式。这样可防止输出电压进一步升高，但不会关断电源。当降低的电流超过V引脚迟滞所要求的4 μA 时，开关会再次导通。如果流经齐纳二极管和流入V引脚的电流超过336 μA ，将触发TOPSwitch-JX的锁存关断保护功能，电源随之关断。为了对此锁存进行复位，必须切断AC输入供电，直到控制引脚电容放电并使电压低于 $V_{O(RESET)}$ (~3 V)，或者X引脚电流降到27 μA 以下。

在典型电路中，5.1 k Ω 量级的高串联阻抗 R_{OVP} 将导致非锁存关断。介于4.7 Ω 至22 Ω 范围内的低阻抗将导致锁存关断。

为避免噪声耦合，建议应将电阻连接至V引脚，将齐纳二极管连接至偏置绕组输出。

由于采用了OVP元件，因此从施加AC（超出输入欠压阈值）到电源开始工作会多出约2秒的延迟。该延迟是由于V引脚需要一定的时间通过 R_{OVP} 和 V_{ROVP} 对偏置绕组电容进行充电造成的。增加一个小尺寸的信号（如BAV21/1N4148）二极管），使其与 V_{ROVP} 串联

ENTER TRANSFORMER CORE/CONSTRUCTION VARIABLES				
Core Type	Auto	EI28		Core Type
Core		EI28	P/N:	PC40EI28-Z
Bobbin		EI28 BOBBIN	P/N:	BE-28-1110CPL
AE			0.86	Core Effective Cross Sectional Area
LE			4.82	Core Effective Path Length
AL			4300	Ungapped Core Effective Inductance
BW			9.6	Bobbin Physical Winding Width
M	0.00			Safety Margin Width (Half the Primary to Secondary Creepage Distance)
L	3.00			Number of Primary Layers
NS		3		Number of Secondary Turns

图 9. 设计表格中变压器磁芯及结构的变量

(参见图21)可以避免上述延迟的发生。

输出功率限制与输入电压 (可选)

TOPSwitch-JX上的X引脚可用于设定一个低于所选元件的最大内部流限的流限值。连接X引脚和源极引脚的电阻(图1中的 R_{IL})允许选择一个外部设定的固定流限。参阅数据手册了解限流电阻的选择曲线。

如图12所示,在X引脚和DC总线之间添加第二个电阻(R_{PL}),可以降低与输入电压成函数关系的设定流限。这一设计是合乎要求的,因为在低输入电压及连续导通模式下工作的($K_p < 1$)典型反激式电源,在高输入电压下将具有高出200-300%的过载功率能力。在特定应用中,可能需要过度设计输出二极管、变压器及输出电容,以便处理过载故障期间耗散的增加。

PIXIs设计表格将根据所选择的TOPSwitch-JX元件及所选的 K_p 值,计算出功率限制与输入电压所需的两个电阻的值。在最低电压 V_{MIN} 下,目标限流值等于 $I_{LIMIT(MIN_EXT)}$ 。在高输入电压下,目标限流值根据指定的 $P_{O(PEAK)}$ 所需的值乘以边距系数、最高电压 V_{MAX} 下的过载限流率计算得出。建议值为120%,该值可以确保在启动时不会触发MOSFET保护模式,特别适用于高输出电压的设计。较低的值也是可以接受的,但必须检验在高输入电压下启动是否会进入最高(峰值)负载状态。

电阻值是使用TOPSwitch-JX数据手册中提供的最差条件下的限流点降低曲线计算得出的。

第4步 - 根据输出功率选择磁芯和骨架,

输入 A_E 、 L_E 、 A_L 、 BW 、 M 、 L 及 N_S

等效的磁芯截面积, A_E : (cm²)

等效的磁路长度, L_E : (cm)。

磁芯没有气隙时的等效电感量, A_L : (nH/圈²)。

骨架宽度, BW : (mm)

变压器端胶带宽度(输入初次级侧总的安全边距的一半值),

M (mm)

初级层数, L

次级绕组圈数, N_S

磁芯类型

如果此单元格为空,数据表格会根据指定的连续(平均)输出功率自动选择常用最小的磁芯型号。可选磁芯的完整清单可以在PIXIs设计软件的下拉菜单中进行选择。

输出功率	66 kHz		132 kHz	
	三层绝缘线	挡墙绕制	三层绝缘线	挡墙绕制
0 - 10 W	EF12.6	EI22	EF12.6	EI22
	EE13	EE19	EE13	EE19
	EF16	EI22/19/6	EF16	EI22/19/6
	EE16	EEL16	EE16	EEL16
	EE19	EF20		
	EI22	EI25		
10 W - 20 W	EI22/19/6	EEL19		
10 W - 20 W	EF20	EI28	EE19	EF20
		EEL22	EI22	EI25
20 W - 30 W		EF25	EI22/19/6	EEL19
			EF20	
20 W - 30 W	EF25	EI30		EI28
		EPC30		
30 W - 50 W		EEL25		
	EI28	E30/15/7	EF25	EEL22
	EI30	EER28		
	E30/15/7	ETD29		
	EER28	EI35		
50 W - 70 W		EI33/29/13-Z		
		EER28L		
	ETD29	EF32	EI28	EEL25
50 W - 70 W	EI35	ETD34		E30/15/7
	EF32			EER28
70 W - 100 W	ETD34	EI40	EI30	ETD29
	E36/18/11	E36/18/11	E30/15/7	EI35
	EI40	EER35	EER28	EI33/29/13-Z
100 W - 150 W			ETD29	EER28L
			EF32	EF32
	ETD39	ETD39	EI35	ETD34
	EER40	EER40	EF32	EI40
		E42/21/15	ETD34	E36/18/11
>150 W				EER35
	E42/21/15	E42/21/20	E36/18/11	ETD39
	E42/21/20	E55/28/21	EI40	EER40
	E55/28/21		ETD39	E42/21/15
			EER40	E42/21/20
			E42/21/15	E55/28/21

Table 5. Transformer Core Table.

设计表格中灰色的单元格内可以直接输入磁芯及骨架的参数。如果使用数据表格中没有的或其它特殊的磁芯和骨架，则可以方便地在这些灰色单元格内输入相应的参数。

表5提供了一系列常用的磁芯以及这些磁芯可用于典型设计的输出功率水平。

安全边距, M (mm)

对于要求在初级和次级之间进行安全隔离但不使用三层绝缘线的设计，要输入变压器骨架两侧的安全边距宽度（挡墙宽度）。对于通用电压输入，总的绕组边距宽度为6.2 mm，因此在设计表格中要输入3.1 mm。对于垂直式的骨架，骨架两端的安全边距可以不是对称的。即使在实际制作变压器时只有一边有绝缘间距，但如果总的边距宽度为6.2 mm，还是要输入3.1 mm。

对于使用三层绝缘线的设计，为了满足所要求的安全爬电距离，还是有必要输入一个小的安全边距。通常情况下，对于每个磁芯往往有多种骨架与其相配，而每种骨架有不同的外形尺寸。请参照骨架的数据手册或咨询安规工程师及变压器供应商以确定所需的安全边距宽度。

由于安全边距减少了绕组绕制的可利用面积，因此对于尺寸较小的磁芯并不适合采用上述安全边距的变压器结构。如果在设计表格中输入安全边距后，初级绕组的层数(L)要求在3层以上，那么建议或者使用尺寸更大些的磁芯，或者将安全边距取值为零而采用三层绝缘线来绕制次级绕组。

初级层数, L

初级绕组的层数应在1层到3层之间。一般来讲，应使用最少的层数，从而满足初级绕组的电流密度(CMA)限制。在未使用强制风冷的设计中，小于5 W的设计中通常采用100 Cmil/Amp的电流密度，在200 W的设计中将线性增加到500 Cmil/Amp电流密度。大于三层的设计也是可行的，但要考虑到漏感的增加及绕组的绕制相关的问题。在漏感箝位损耗非常高的设计应用中，可采用分层式初级绕组结构。此方法是将初级绕组绕在次级绕组和偏置绕组的两侧，以“三明治”的方式绕制。

次级绕组圈数, N_s

如果此单元格为空，设计表格将计算出最少次级圈数，此圈数可以保证最大工作磁通密度 B_M 低于建议的最大值3000高斯(300 mT)。一般来讲，没有必要在灰色单元格内输入其它值，除非需要更低的工作磁通密度（参见关于 B_M 限制的说明）。

第五步 - 变压器设计的反复调整/完成工程原型

反复调整设计，使得没有任何告警出现。如果有任何参数超出建议值的范围，右边相应的建议列内会给出消除此告警的指导方法。

当所有告警都清除时，变压器的参数就可用来进行样品变压器的制作或发给样品供应商。（请参阅“快速入门”部分中有关变压器原型服务的注释。）

关键的变压器电特性参数包括：

初级电感量, L_p (μH)

此参数为设计所达到的正常变压器初级电感量值。

初级电感量容差, LP_(TOLERANCE) (%)

此参数为假设的初级电感量容差范围。缺省的默认值为10%。但是如果变压器供应商可以提供其制作变压器的电感量精度，则在灰色的单元格内输入相应的信息覆盖缺省值。

初级绕组圈数, N_p

为了减低漏感，可以采用初级绕组分开的变压器绕制方法，建议用在输出功率大于20 W的设计中。

开气隙后的磁芯等效电感量, A_{LG}: (nH/T²)

变压器供应商用此参数来确定磁芯中心柱气隙。

最大工作磁通密度, B_M (高斯)

建议在正常工作期间使用最大值3000高斯。这样可以限制变压器磁芯损耗以及在轻载条件下产生的音频噪声。该限制还可防止在启动或输出短路期间出现磁芯饱和。在此类条件下输出电压很低，在MOSFET关断期间，变压器的磁通复位不足。这通常可使变压器磁通密度在下一个及后续周期内增大（累积），直至磁芯饱和。而一旦选择了具有内置保护特性的TOPSwitch-JX器件，其峰值限流点也就固定了。在此限流点的磁通密度选择3000高斯，可以保证在开机及输出短路情况下磁芯不会饱和。

TOPSwitch-JX的多周期调制(MCM)工作方式会使变压器产生音频分量的噪声（特别是在使用长磁芯的情况下）。如果 B_M 取值3000高斯，就会降低该音频噪声的产生，进而使MCM模式下的工作磁通密度达到750高斯。采用此方法并使用标准的变压器生产浸漆工艺就可以基本上消除音频噪声。在设计确认前，要使用生产线上的变压器样品仔细进行噪声性能测试。在箝位电路中使用像Z5U介质的陶瓷电容同样会产生噪声。这时，可尝试将其更换为采用其它不同电介质的电容，例如薄膜型电容。

峰值磁通密度, B_p (高斯)

为了限制开机和输出短路时的最大磁通密度，建议采用4200高斯的最大磁通密度。此计算假定采用最差情况下的流限值 and 电感值。在高环境温度应用（如密闭的适配器或使用低档

TRANSFORMER PRIMARY DESIGN PARAMETERS					
LP			1435	uHenries	Primary Inductance
LP Tolerance			10		Tolerance of Primary Inductance
NP			74		Primary Winding Number of Turns
NB			7		Bias Winding Number of Turns
ALG			265	nH/T ²	Gapped Core Effective Inductance
BM			2637	Gauss	Maximum Flux Density at PO_VMIN (BM<3000)
BP			3603	Gauss	Peak Flux Density (BP<4200) at ILIMITMAX and LP_MAX. Note: Recommended values for adapters and external power supplies <=3600 Gauss
BAC			659	Gauss	AC Flux Density for Core Loss Curves (0.5 X Peak to Peak)
ur			1918		Relative Permeability of Ungapped Core
LG			0.38	mm	Gap Length (Lg > 0.1 mm)
BWE			28.8	mm	Effective Bobbin Width
OD			0.39	mm	Maximum Primary Wire Diameter including insulation
INS			0.06	mm	Estimated Total Insulation Thickness (= 2 * film thickness)
DIA			0.33	mm	Bare conductor diameter
AWG			28	AWG	Primary Wire Gauge (Rounded to next smaller standard AWG value)
CM			161	Cmil	Bare conductor effective area in circular mils
CMA			220	Cmil/Amp	Primary Winding Current Capacity (200 < CMA < 500)
Primary Current Density (J)			9.11	Amps/mm ²	Primary Winding Current density (3.8 < J < 9.75)

图 10. 设计表格内的变压器初级绕组设计参数部分

TRANSFORMER SECONDARY DESIGN PARAMETERS (MULTIPLE OUTPUTS)					
1st output					
VO1			5	Volts	Output Voltage
IO1_AVG			7.00	Amps	Average DC Output Current
PO1_AVG			35.00	Watts	Average Output Power
VD1			0.5	Volts	Output Diode Forward Voltage Drop
NS1			3.00		Output Winding Number of Turns
ISRMS1			12.363	Amps	Output Winding RMS Current
IRIPPLE1			10.19	Amps	Output Capacitor RMS Ripple Current
PIVS1			20	Volts	Output Rectifier Maximum Peak Inverse Voltage
CMS1			2473	Cmil	Output Winding Bare Conductor minimum circular mils
AWGS1			16	AWG	Wire Gauge (Rounded up to next larger standard AWG value)
DIAS1			1.29	mm	Minimum Bare Conductor Diameter
ODS1			3.20	mm	Maximum Outside Diameter for Triple Insulated Wire
2nd output					
VO2				Volts	Output Voltage
IO2_AVG				Amps	Average DC Output Current
PO2_AVG			0.00	Watts	Average Output Power
VD2			0.7	Volts	Output Diode Forward Voltage Drop
NS2			0.38		Output Winding Number of Turns
ISRMS2			0.000	Amps	Output Winding RMS Current
IRIPPLE2			0.00	Amps	Output Capacitor RMS Ripple Current
PIVS2			2	Volts	Output Rectifier Maximum Peak Inverse Voltage
CMS2			0	Cmil	Output Winding Bare Conductor minimum circular mils
AWGS2		N/A		AWG	Wire Gauge (Rounded up to next larger standard AWG value)
DIAS2		N/A		mm	Minimum Bare Conductor Diameter
ODS2		N/A		mm	Maximum Outside Diameter for Triple Insulated Wire
3rd output					
VO3				Volts	Output Voltage
IO3_AVG				Amps	Average DC Output Current
PO3_AVG			0.00	Watts	Average Output Power
VD3			0.7	Volts	Output Diode Forward Voltage Drop
NS3			0.38		Output Winding Number of Turns
ISRMS3			0.000	Amps	Output Winding RMS Current
IRIPPLE3			0.00	Amps	Output Capacitor RMS Ripple Current
PIVS3			2	Volts	Output Rectifier Maximum Peak Inverse Voltage
CMS3			0	Cmil	Output Winding Bare Conductor minimum circular mils
AWGS3		N/A		AWG	Wire Gauge (Rounded up to next larger standard AWG value)
DIAS3		N/A		mm	Minimum Bare Conductor Diameter
ODS3		N/A		mm	Maximum Outside Diameter for Triple Insulated Wire
Total Continuous Output Power			35	Watts	Total Continuous Output Power
Negative Output			N/A		If negative output exists enter Output number; eg: If VO2 is negative output, enter 2

图 11. 设计表格内的变压器次级绕组设计参数部分-多路输出

铁氧体磁芯材料)中,由于工作环境温度较高,该值需要减小至3600高斯。必须进行检验,确保在失调之前的过载及最高环境温度条件下不会发生磁芯饱和。

最大的初级绕组线径, OD (mm)

如果此单元格为空,数据表格会默认为双涂层的绝缘漆包线,线径为标准线径。同样,用户可以直接在灰色单元格内输入线径。

设计表格可自动计算的其它参数包括:

- 估计的总绝缘层厚度, INS (mm)
- 初级绕组线径尺寸, DIA: (mm)
- 初级绕组线规格, AWG
- 初级绕组层数, L
- 估计的磁芯中心柱气隙长度: L_G : (mm)
- 次级绕组圈数, N_S
- 次级绕组线径尺寸, DIAs: (mm)
- 次级绕组线规格, AWG

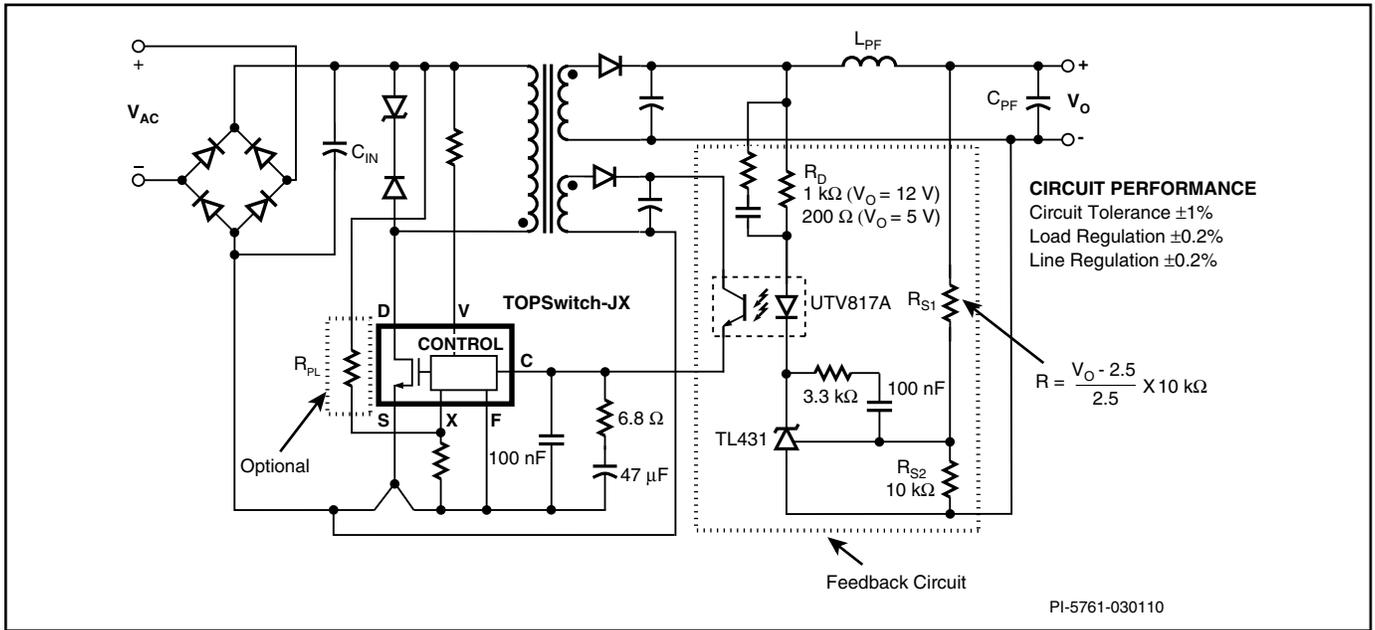


图 12. 使用光耦器-TL431反馈式电路的TOPSwitch-JX的典型反激式电源

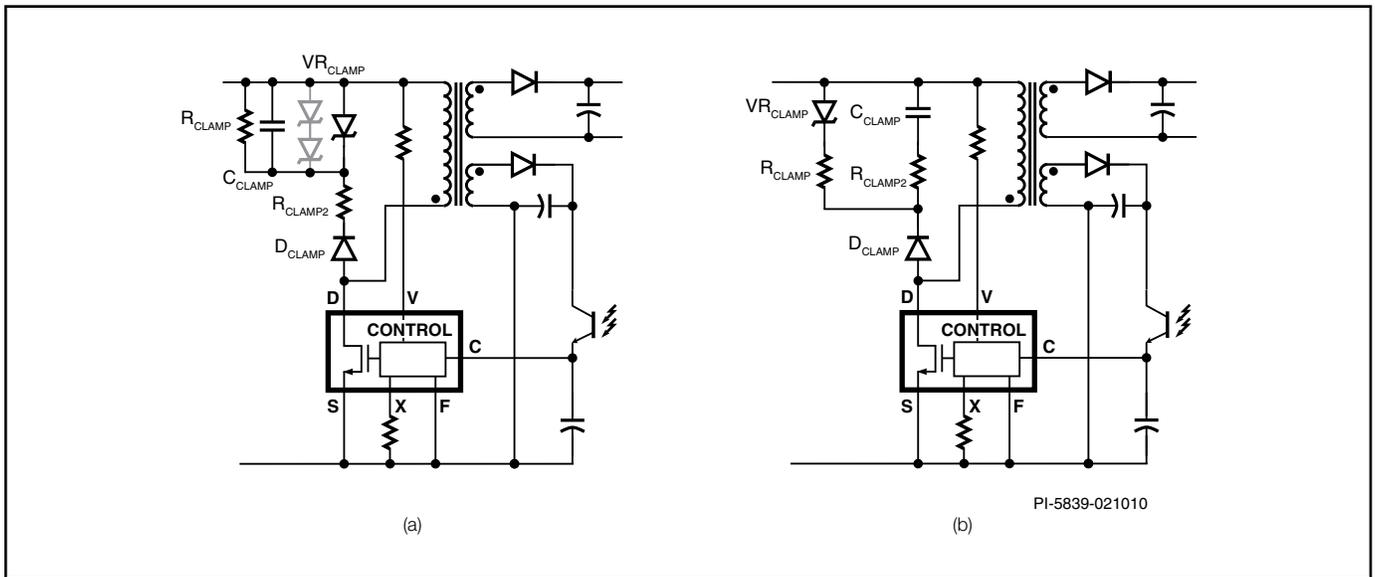


图 13. TOPSwitch-JX应用中建议的箝位电路

在多路输出的设计当中，使用NSx、CMSx、AWGSx（其中x表示不同的输出）来表示不同输出所用的线材。

第6步 – TOPSwitch-JX外围元件的选择

控制引脚 – 外围元件

图12中的电路图显示了典型TOPSwitch-JX电源设计所需的外围元件。强烈建议在TOPSwitch-JX的控制引脚和源极引脚之间直接连接一个100 nF的电容。此电容应通过较短的走线靠近TOPSwitch-JX放置。在使用表面贴装元件的设计中，此电容应直接位于TOPSwitch-JX的引脚位置。

除了将100 nF的电容连接至控制引脚外，还需要在TOPSwitch-JX的控制引脚和源极端串联一个6.8 Ω电阻和一个47 μF电解电容。47 μF电容充当储能器，在启动期间为TOPSwitch-JX内部电路提供电能，也可在自动重新启动期间提供时序。此外，该电容与控制引脚的动态阻抗一起可以形成约为160 Hz的极点。通常需要添加一个小值电阻(6.8 Ω)与该电容串联。该外部电阻与控制引脚电容（典型值约为2 Ω）的ESR一道可以提供稳定的串联阻抗，并形成约为400 Hz的零极。虽然较大值的外部电阻有助于改善相位响应，但应避免值大于22 Ω。

第7步 – 输入欠压/过压元件的选择

输入欠压检测功能可以防止电源在输入电压超过预设值之前启动。在通电或自动重新启动时功率MOSFET开关禁止期间，流入V引脚的电流必须超过25 μA，才能启动开关（数据手册中的 I_{UV} ）。由于在直流干线与V引脚间连接了一个电阻用于检测输入电压，因此欠压阈值将由输入电压定义，该输入电压将使流入V引脚的电流超过25 μA。同样的电阻还可定义输入过压阈值。当流入V引脚的电流超过 I_{OV} （典型值为112 μA）时，器件停止开关，使TOPSwitch-JX的耐压提高到其725 V BV_{DSS} 额定值。

由于DC总线与V引脚之间的典型电阻值为4 MΩ，因此UV可以设定为100 VDC，OV可以设定为450 VDC。

检测电阻应该为400 V以上的耐压。一般情况下，或者使用一个0.5 W的电阻，或者使用两个0.25 W的电阻串联连接。在通用输入应用中，建议将输入检测电阻的典型值取为4 MΩ。设计表格中还提供其它指导性建议。

如果只是选择性使用欠压(UV)或过压(OV)功能，TOPSwitch-JX系列的数据手册中提供的大量电路可帮助您加快外围元件的选择。如果不使用V引脚功能，应将V引脚连接至源极引脚。不应使V引脚处于断开连接状态。

第8步 – 初级箝位元件的选择

在TOPSwitch-JX的设计中，建议使用稳压管箝位或者有稳压管并联的RCD箝位。这样可以确保将内部MOSFET的漏极电压限制在 BV_{DSS} 之下，同时还可以提高效率及降低空载功耗。

RCD箝位尽管在峰值负载情况下可以限制漏极峰值电压，但在输出功率降低时，它相当于一个负载，从而降低了电源在轻载时的效率，增大了电源的空载功率消耗。

整流二极管	$V_R(V)$	$I_D(A)$	封装	制造商
肖特基二极管				
1N5819	40	1	Axial	Vishay
SB140	40	1	Axial	Vishay
SB160	60	1	Axial	Vishay
MBR160	60	1	Axial	IR
11DQ06	60	1.1	Axial	IR
1N5822	40	3	Axial	Vishay
SB340	40	3	Axial	Vishay
MBR340	40	3	Axial	IR
SB360	60	3	Axial	Vishay
MBR360	60	3	Axial	IR
SB540	40	5	Axial	Vishay
SB560	60	5	Axial	Vishay
MBR745	45	7.5	TO-220	Vishay / IR
MBR760	60	7.5	TO-220	Vishay
MBR1045	45	10	TO-220	Vishay / IR
MBR1060	60	10	TO-220	Vishay
MBR10100	100	10	TO-220	Vishay
MBR1645	45	16	TO-220	Vishay / IR
MBR1660	60	16	TO-220	Vishay
MBR2045CT	45	20(2×10)	TO-220	Vishay / IR
MBR2060CT	60	20(2×10)	TO-220	Vishay
MBR20100	100	20(2×10)	TO-220	Vishay / IR
UFR				
UF4002	100	1	Axial	Vishay
UF4003	200	1	Axial	Vishay
MUR120	200	1	Axial	Vishay
EGP20D	200	2	Axial	Vishay
BYV27-200	200	2	Axial	Vishay / NXP
UF5401	100	3	Axial	Vishay
UF5402	200	3	Axial	Vishay
EGP30D	200	3	Axial	Vishay
BYV28-200	200	3.5	Axial	Vishay / NXP
MUR420	200	4	TO-220	Vishay
BYW29-200	200	8	TO-220	Vishay / NXP
BYV32-200	200	18	TO-220	Vishay / NXP

表 6. 适合输出整流的二极管型号

图13a显示了一个经过优化的RCD + 齐纳箝位组合的例子。在正常工作期间，齐纳二极管不导通，由 R_{CLAMP} 和 C_{CLAMP} 提供箝位。因而可针对满载对参数值进行优化，而不是针对过饱和和启动。这样可降低耗散，降低轻载和空载输入功率。在输出过载和启动期间， $V_{R_{CLAMP}}$ 提供已定义的最大漏极电压，该电压低于MOSFET的 BV_{DSS} 额定值。在高功率设计中，可能需要使用多个齐纳二极管来分担耗散，如图13a中的灰色部分所示。也可以使用齐纳箝位（省去 R_{CLAMP} 和 C_{CLAMP} ），以便提高满载和轻载效率，并降低空载输入功率，但会提高EMI。

图13b所示为高效率RCDZ箝位电路。这种设计可以提供齐纳箝位的轻载和空载性能，同时提供RCD箝位的EMI特性。这种电路的优点是，在轻载或空载时， C_{CLAMP} 不会放电至 $V_{R_{CLAMP}}$ 值以下。在正常RCD箝位中，轻载或空载时的电容纹波电压非常大($>V_{OR}$)，箝位成为主要负载，导致较差的空载输入功率和轻载效率。其工作原理与传统的箝位类似。在开关关断后，电容 C_{CLAMP} 通过 R_{CLAMP} 和 $V_{R_{CLAMP}}$ 进行放电，这样可重置电容，为下一次关断做好准备。耗散根据 $V_{R_{CLAMP}}$ 和 R_{CLAMP} 各自的电压大小进行分担。 $V_{R_{CLAMP}}$ 的建议值比本设计 V_{OR} 的约高出10%。可以将两个齐纳二极管串联，以提高其功率能力。

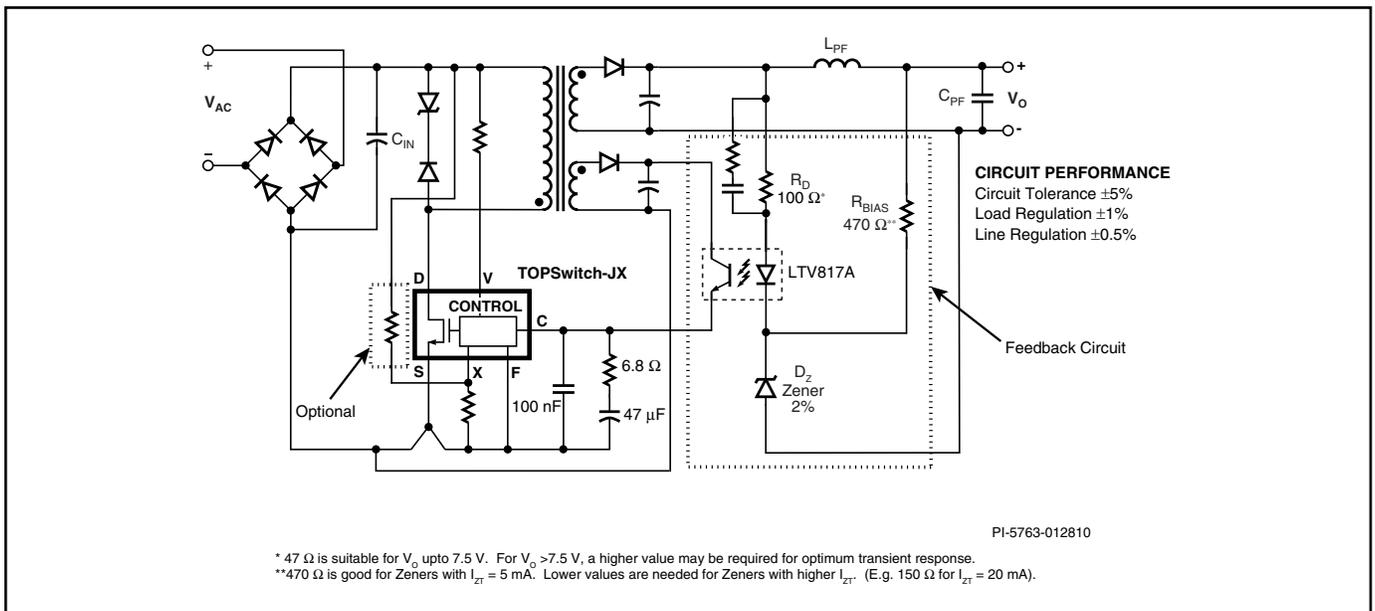


图 14. 典型的齐纳反馈电路

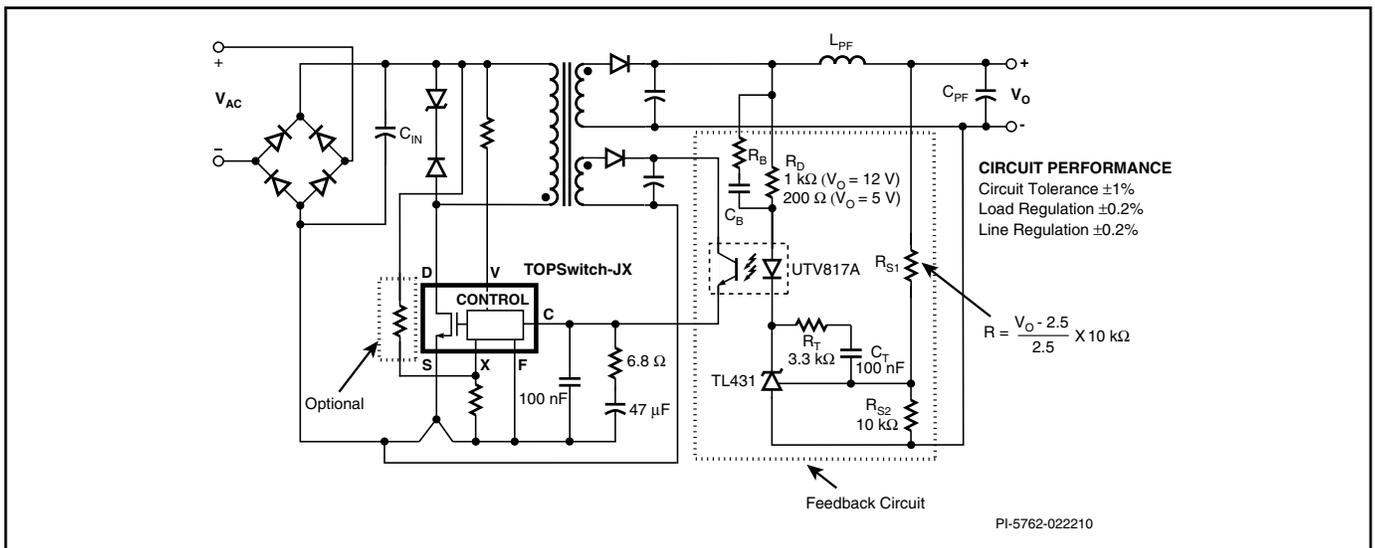


图 15. 光耦器-TL431反馈电路

在如上所述的工作条件下，漏极峰值电压必须低于675 V，以便留有裕量以防止因为元件的差异出现过高的漏极电压。箝位二极管(D_{CLAMP})必须为快速的或超快恢复的二极管，其反向恢复时间要小于500 ns。在任何情况下都不要使用标准恢复时间的二极管进行整流。在启动或者输出短路时可能会对慢速二极管造成功率损耗并使其损坏。电阻 R_{CLAMP1} 用来衰减震荡电压，从而降低EMI。电源在使用TOPSwitch-JX产品系列的不同器件时，其初级峰值电流、漏感及漏感能量也会有所不同。必须针对不同的设计重新选择 C_{CLAMP} 和 R_{CLAMP} 的取值。一般的原则是降低电容 C_{CLAMP} 的容量，增大电阻 R_{CLAMP} 的阻值，同时仍满足所建议的675 V的漏极峰值电压限制。

第9步 - 输出整流二极管的选择

根据设计数据表中提供的反向峰值电压(V_R)和输出电流(I_O)选择每个输出二极管的取值。表6列出了一些常用的二极管型号以供参考。

$V_R \geq 1.25 \times PIV_S$: 其中 PIV_S 来自于设计表格中电压应力参数部分及变压器次级设计参数部分（多路输出）。

$I_D \geq 2 \times I_O$: 其中 I_D 为二极管额定DC电流； I_O 为平均输出电流。其选择依赖于温升及峰值负载条件下的占空比。当完成原型制作时，如有必要，可以增加二极管的电流额定值。同样，对于散热方面的需要也要在原型上进行验证。

第10步 - 输出电容的选择

纹波电流额定值

设计表格会使用平均输出功率计算出输出电容的纹波电流值。因此实际需要的电容额定值取决于设计中峰值和平均功率的比例。在大多数情况下此假定都将有效，这是因为电流纹波额定值受散热限制，大多数峰值负载持续时间都短于电容的热时间常数(< 1 s)。对于此类设计，所选的输出电容纹波电流额定值必须大于设计表格中计算出来的 I_{RIPPLE} 电流值。但在峰值功率与连续（平均）功率之比较高及峰值负载持续时间较长的设计中，可能需要在最差的负载和环境温度下测量电容的温度，进而提高电容的额定电流值。

在这两种情况下，如果找不到单个合适的电容，则可以用两个或两个以上的电容进行并联，使其总的纹波电流值满足实际的需要。

很多电容生产商提供了一个系数，该系数表明电容工作温度低于其数据手册规定的最大温度时，其纹波额定电流的增加比例。这样用户还可以利用这些信息，确保没有选用过大的电容尺寸。

元件编号	CTR(%)	BVCEO	制造商
4脚DIP			
PC123Y6	80-160	70 V	Sharp
PC817X1	80-160	70 V	Sharp
PC817X4J	300-600	80 V	Sharp
SFH615A-2	63-125	70 V	Vishay, Isocom
SFH617A-2	63-125	70 V	Vishay, Isocom
SFH618A-2	63-125	55 V	Vishay, Isocom
ISP817A	80-160	35 V	Vishay, Isocom
LTV817A	80-160	35 V	Liteon
LTV816A	80-160	80 V	Liteon
LTV123A	80-160	70 V	Liteon
LTV817D	300-600	35 V	Liteon
K1010A	60-160	60 V	Cosmo
6脚DIP			
LTV702FB	63-125	70 V	Liteon
LTV703FB	63-125	70 V	Liteon
LTV713FA	80-160	35 V	Liteon
K2010	60-160	60 V	Cosmo
PC702V2NSZX	63-125	70 V	Sharp
PC703V2NSZX	63-125	70 V	Sharp
PC713V1NSZX	80-160	35 V	Sharp
PC714V1NSZX	80-160	35 V	Sharp
MOC8102	73-117	30 V	Vishay, Isocom
MOC8103	108-173	30 V	Vishay, Isocom
MOC8105	63-133	30 V	Vishay, Isocom
CNY17F-2	63-125	70 V	Vishay, Isocom, Liteon

表 7. 光耦器

ESR要求

输出上的开关纹波电压等于峰值次级电流乘以输出电容（假设为电解电容）的ESR。为了降低纹波电压就必须选用ESR很低的电容。一般来讲，额定纹波电流比较高的电容，其ESR也是可以接受的。

电压额定值

按照 $V_{RATED} \geq 1.25 \times V_O$ 的原则选择输出电容的耐压额定值。

第11步 - 反馈电路元件的选择

电源的反馈电路的选择由所需要的输出稳压来决定。使用一个与光耦器二极管串联的齐纳二极管可以配置简单的反馈电路。虽然这种方法的成本并不高，但它要依靠齐纳二极管来控制输出电压，与参考IC相比，会因器件容差范围较宽和温度系数过大而影响电路性能。

图14说明了实现稳压管反馈的典型方法。齐纳二极管 D_Z 、光耦器串联电阻 R_O 及光耦器LED上的压降决定了输出电压。

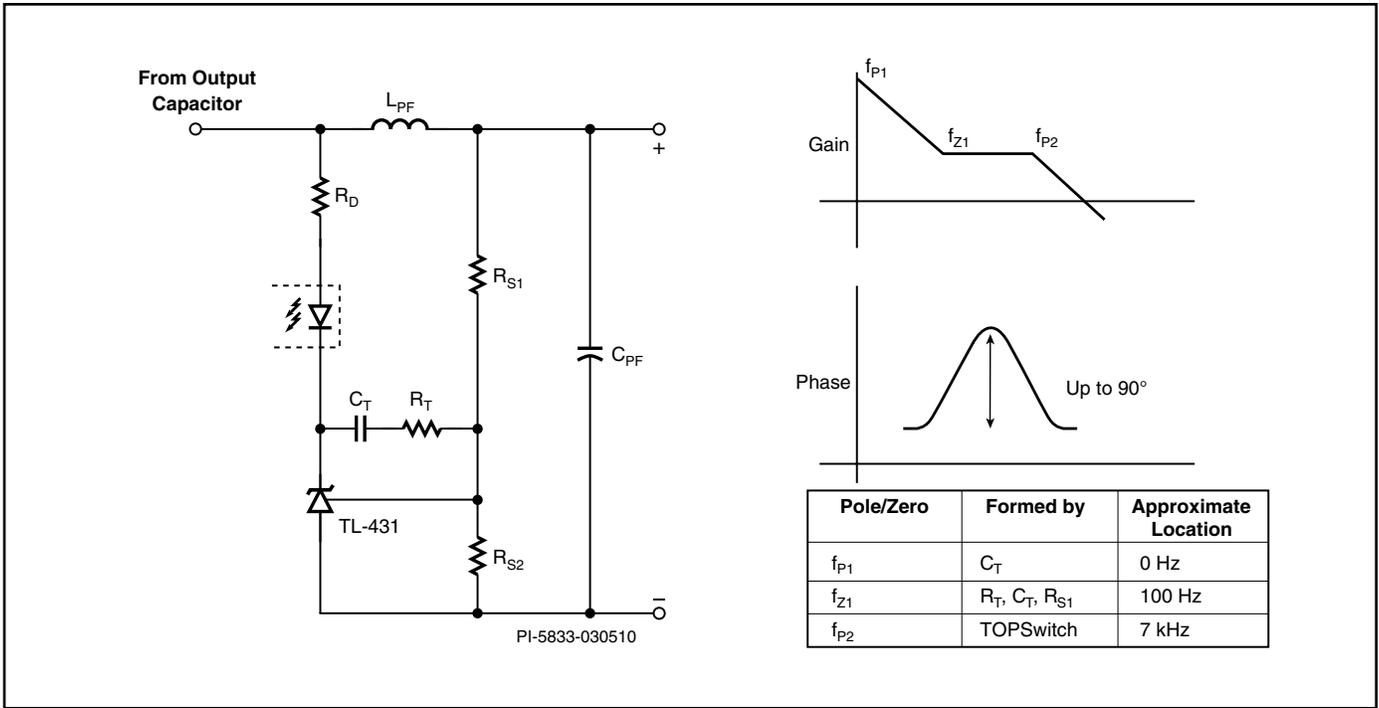


图16. 使用TOPSwitch-JX的典型“Type 2”控制器电路图

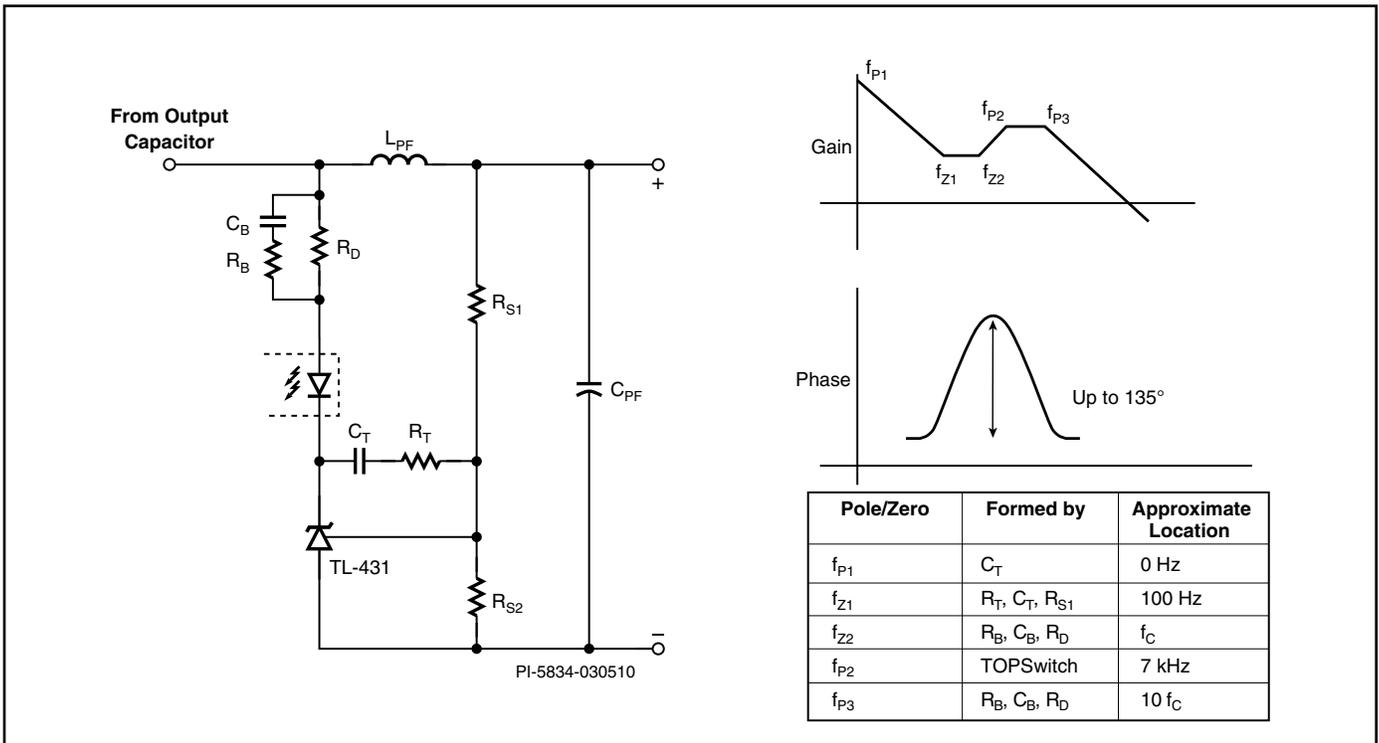


图17. 修改后的“Type 2”控制器可提供额外的接近交叉频率的相位提升

电阻 R_{BIAS} 提供1 mA的偏置电流, 以确保齐纳二极管接近其稳压值工作。电阻 R_D 调整整个反馈环路的直流增益。这两个电阻都可以采用0.125 W或0.25 W, 5%的电阻。建议选择测试电流比较低的($I_{ZT} \leq 5$ mA)稳压管, 以降低由反馈电路提供的偏置电流, 从而降低电源的空载功耗。

图15说明了典型的使用电压参考IC实现更精确输出稳压的方法。TL431和分压电阻 R_{S1} 及 R_{S2} 用来设定输出电压。电阻 R_D 设定直流增益。电容 C_T 在闭环传递函数中添加了一个非常接近0 Hz的极点(实际上由TL431的有限增益限制)。而且, C_T 与电阻 R_T 和 R_{S1} 共同形成了一个低频率零极点(f_{z1}), 计算公式如下:

$$f_{z1} = \frac{1}{2\pi(R_T + R_{S1})C_T}$$

所选择的元件值应使此零极点在接近100 Hz时出现。

来自TOPSwitch-JX的7 kHz内部极点提供高频极点(f_{p1}), 以完成第2类补偿配置(见图16)。

在某些情况下, 在接近交越频率时要求相位增大(相位提升)。一旦通过选择电阻 R_D 获得所需的交越频率 f_c 后, 可在 $R_{D增}$ 增加一个RC电路(由 R_B 和 C_B 构成)就可以提供此相位提升。这些元件的建议起始值为:

$$R_B \approx \frac{R_D}{9}$$

$$C_B \approx \frac{9}{10(2\pi \times R_B \times f_c)}$$

这种设计使用了一个零极点对(f_{z2} 和 f_{p2}), 它通常提供大约30°的额外相位裕量, 不会大幅改变交越频率 f_c (见图17)。

为了降低高频开关噪音和纹波, 通常可增加后级滤波(L_{PF} 和 C_{PF})。电感 L_{PF} 取值应在1 μ H - 3.3 μ H的范围内, 额定电流要高于峰值输出电流。电容 C_{PF} 的容量应在100 μ F - 330 μ F的范围内, 额定电压 $\geq 1.25 \times V_{OUT}$ 。 L_{PF} 与 C_{PF} 结合使用后, 它们的谐振频率应在10 kHz或略高于10 kHz时出现。这样是为了确保不会因电源带宽内的后级滤波器而出现相位降级。如果使用后级滤波, 光耦器要如图所示连接到该后级滤波器电感和检测电阻的前面。连接到后级滤波器的后面通常会造振荡。

表7提供了隔离开关电源进行反馈控制的一系列常用光耦器。建议使用CTR值介于1至6范围内的光耦器。

设计技巧

设计建议:

- 进行高输出电压设计(>12 V)时, 特别是在使用大容量输出电容的情况下, 建议采用软结束电路这样可以确保在低压下以满载启动, 避免出现输出电压过冲。在图22中, R23、D6和C19说明了软结束电路的实施情况。
- 对于偏置绕组输出滤波器, 建议使用10 μ F、50 V的电解电容, 以确保在电源无负载的情况下能够为光耦器提供适当的偏置电压。为了获得最佳空载输入功率性能, 高压和空载条件下的偏置电压不应降至7 V(最差条件)以下。请根据情况调整偏置电压或电容。

电路板布局

TOPSwitch-JX采用高集成电源解决方案, 将控制器和高压MOSFET同时集成到单晶片上。由于同时存在高开关电流、高开关电压和模拟信号, 为了保证电源可以稳定可靠的工作, 遵循正确的PCB设计方法显得尤为重要。

在设计TOPSwitch-JX电源的PCB时, 请务必遵循以下指南:

初级侧连接

- TOPSwitch-JX源极引脚的输入滤波电容的负极端采用单点(Kelvin)连接到偏置绕组的回路。这样可使流经绝缘层的电容位移电流直接返回输入滤波电容, 从而增强浪涌耐受力。
- 控制引脚旁路电容应尽可能接近源极和控制引脚, 其源极连线上不应有电源MOSFET的开关电流流过或偏置绕组回路连接。
- 所有以源极为参考, 连接到电压监测(V)或外部流限(X)引脚的元件同样也应尽可能靠近该引脚和源极引脚。这些元件的源极连线上不应有电源MOSFET的开关电流或偏置绕组回路电流流过。必须注意: 由于源极引脚也是控制器的参考地引脚, 其开关电流必须经独立的通路返回到输入电容的负端, 而不能和连接到控制引脚、电压监测引脚或外部流限引脚的其它元件共用同一通路。任何电压监测(V)或外部流限(X)引脚的连线应尽可能短, 并远离漏极节点, 箝位元件或任何高di/dt或dv/dt节点以防止噪声耦合。
- 线电压检测电阻应接近V引脚, 使其到V引脚侧的高阻抗的连线长度最短。V引脚电阻的DC总线侧应尽可能接近大容量电容。
- 将一个高频0.1 μ F旁路电容与47 μ F控制脚电容并联使用, 能提供局部去耦(图18中的 C_{BP})。
- 任何高电压或高电流的铺铜走线应远离反馈光耦器以避免噪声耦合。

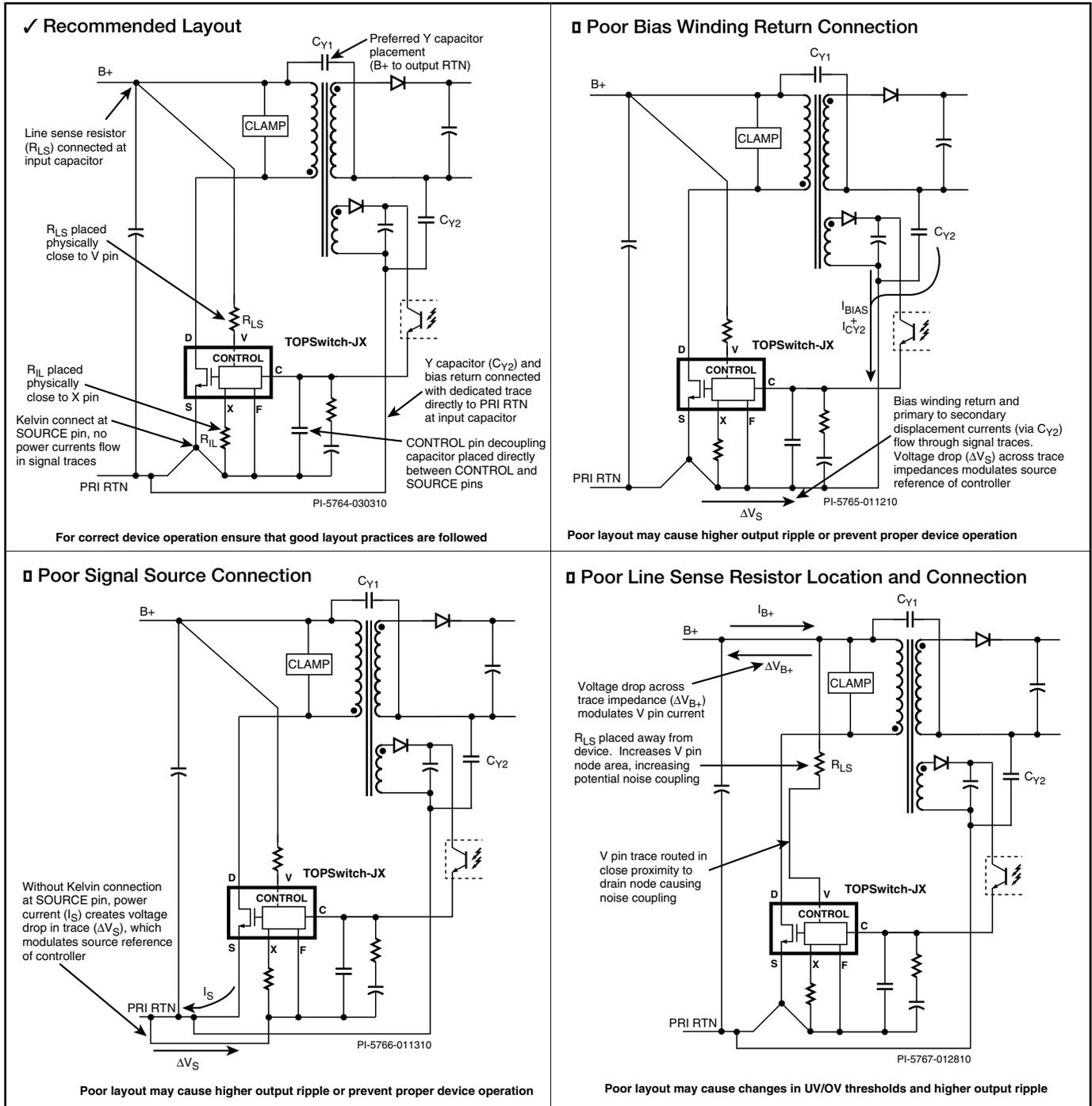


图 19. 布局注意事项 (图解方式) 和常见错误

Y电容

Y-电容的首选位置应接近变压器的次级输出回路引脚和初级直流正极输入引脚。如果Y电容位于初级和次级RTN之间, 则初级侧的连接应通过专用走线将Y电容连接到输入电容负极端。这样可确保在绝缘层上产生位移电流的电涌电流远离连接TOPSwitch-JX的走线。

次级

要最大程度降低漏感和EMI, 连接次级绕组、输出二极管及输出滤波电容的环路区域面积应最小。此外, 与二极管的阴极和阳极连接的铜铂区域面积应足够大, 以便用来散热。阳极铺铜区域过大会增加高频辐射EMI, 因此最好在安静的阴极留有更大的铜铂区域。

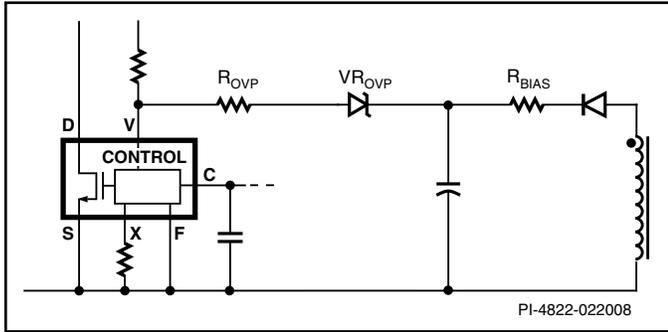


图 20. 采用TOPSwitch-JX设计的反激式电源的初级检测OVP电路

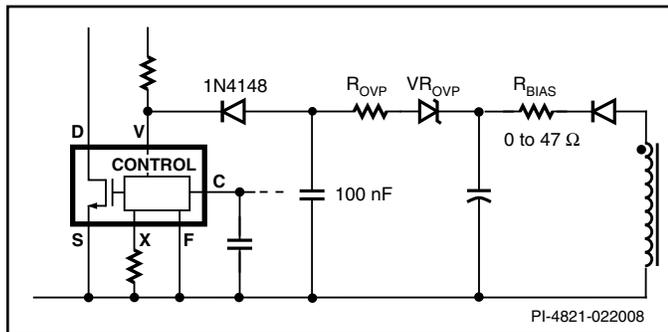


图 21. 采用带有额外V引脚噪音去耦功能的TOPSwitch-JX设计的反激式电源的初级检测过压保护电路

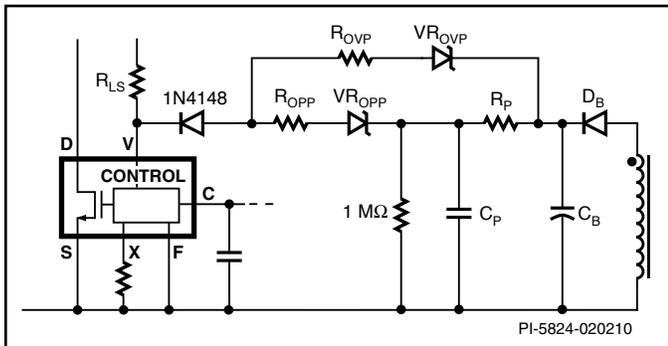


图 22. 使用TOPSwitch-JX实现过压保护和过功率保护

应避免的常见布局问题

较差的布局通常会导致性能问题，一旦出现问题，可能会耗费大量时间去分析，而且这些问题往往在研发结束阶段可能才会出现，此时再去更改PCB设计已是困难重重。图19将帮助您快速识别问题的根本原因并修改布局。该图以图解的方式说明了常见的布局错误以及应避免这些错误布局的原因。

轻载效率和空载输入功率设计技巧

正确的功率表配置

图25显示的是对功率表中的电压和电流检测元件的两种可能配置，以及它们的典型电阻值。单个的电压和电流元件通常位于仪器背面，以便使用者进行配置。

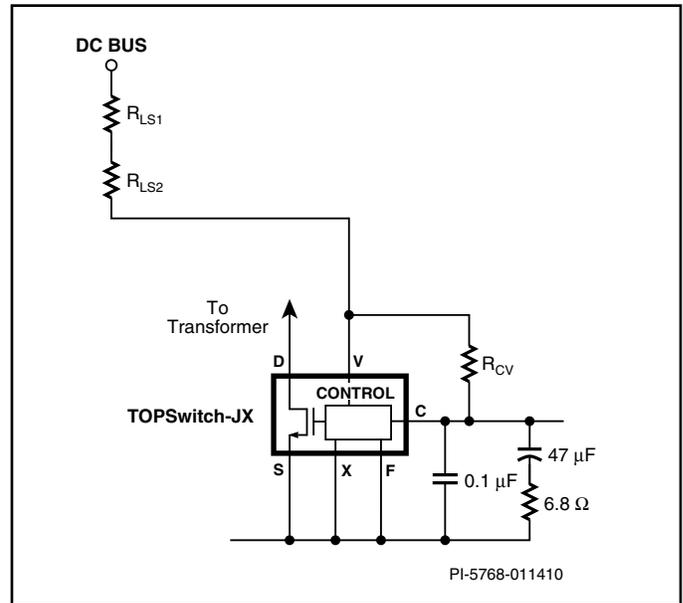


图 23. 从C引脚对V引脚偏置供电可降低空载功耗

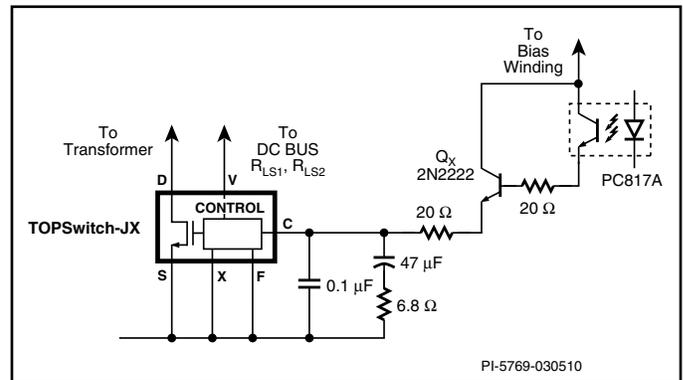


图 24. 使用达林顿晶体管对降低空载输入功率

测量低功率设计时(<100 W)，应采用配置(a)。这种配置可以防止电压检测元件的输入电阻的静态损耗被计入功率读数中。在230 VAC下，这等于输入电阻为2 MΩ的功率表产生的26 mW误差。在测量空载输入功率时，这种配置无法满足大多数能效测试方法(IEC 62301)≤0.01 W不确定性要求。由于电流检测元件上存在电压降（功率耗散），因此配置(a)确实会导致误差。不过，对于低电流测量来说，这种误差通常可以忽略不计。例如，对于85 VAC, 2 A_{RMS}测量来说，功率表的耗散为64 mW，会产生<0.05%的测量误差，而要求的误差是2%。

快速检验功率表是否正确配置的方法是，在不连接电源(PSU)的情况下对功率表施加230 VAC的电压。如果功率表显示非零功率值，说明可能使用的是配置(b)。将功率表改用于配置(a)。

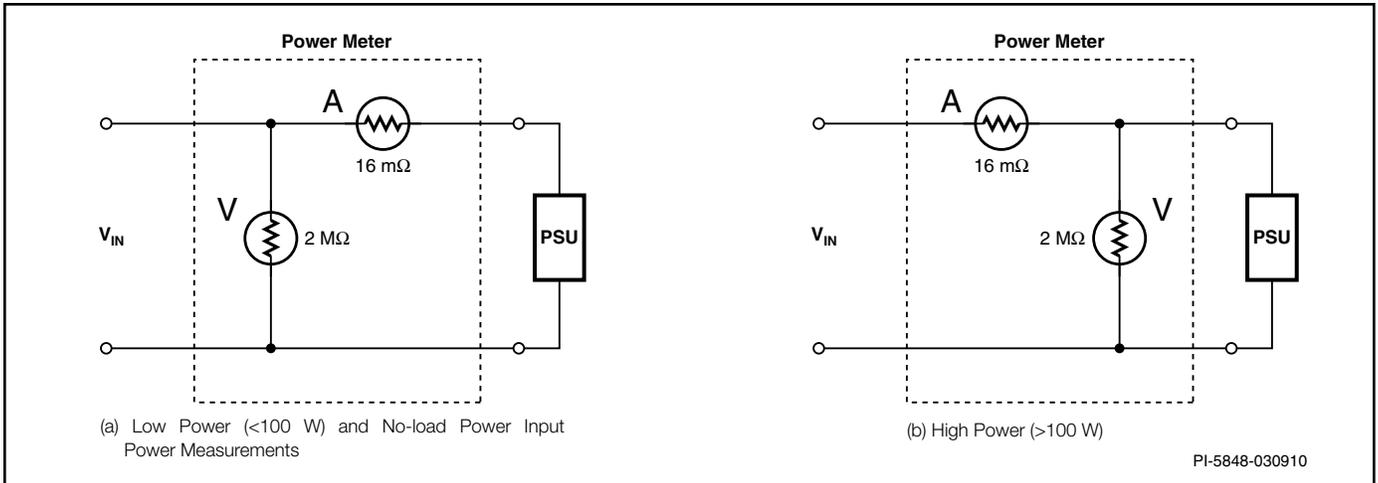


图 25. 准确测量低功率/空载和高功率设计时的正确功率表配置
建议配置 (a) 为 TOPSwitch-JX 的功率级别

空载输入功率稳定延迟时间

在空载或待机条件下测量输入功率时，应确保预留足够的测量时间，以使输入功率达到稳定。图27显示了在230 VAC输入下，测量TOPSwitch-JX设计的空载输入功率时所需的典型稳定延迟时间。该输入功率测量使用Yokogawa WT210功率表每隔100毫秒测量一次，持续测量5.5分钟（330秒）。注意：延迟时间需要超过90秒，以使获得的功率测量值处于最终值(55.4 mW)的3 mW (5%)范围内。

空载输入功率可重复性

TOPSwitch-JX具有最小的空载输入功率和轻载效率可变性，这样可以缩小所需的设计裕量，从而满足给定的规范。图26显示了一个典型性能示例。其中，单电源的空载数据是采用48个TOP266EG元件在25 °C和100 °C的器件温度下测量的。在单点温度下的总功率范围为<5 mW至<7 mW（包括来自两个温度测量点的数据）。

改善轻载效率和空载输入功率

在轻载和空载条件下，反馈电路、线电压检测电阻及箝位的功耗非常高。如果不进行优化，可使设计的空载输入功率增大一倍，或大幅降低待机条件下的可用输出功率。

可采用下面的方法来降低损耗：

- 减小输出假负载
- 将线电压检测电阻连接到V引脚
- 选择并优化箝位
- 降低偏置绕组电压
- 增大线电压检测电阻的值
- 将光耦晶体管配置为达林顿晶体管对的组成部分
- 使用TLV431（而不是TL431）次级参考IC

然而，在尝试采用这些方法之前，需先确认用来测量输入功率的功率表已经过正确配置（图25）。

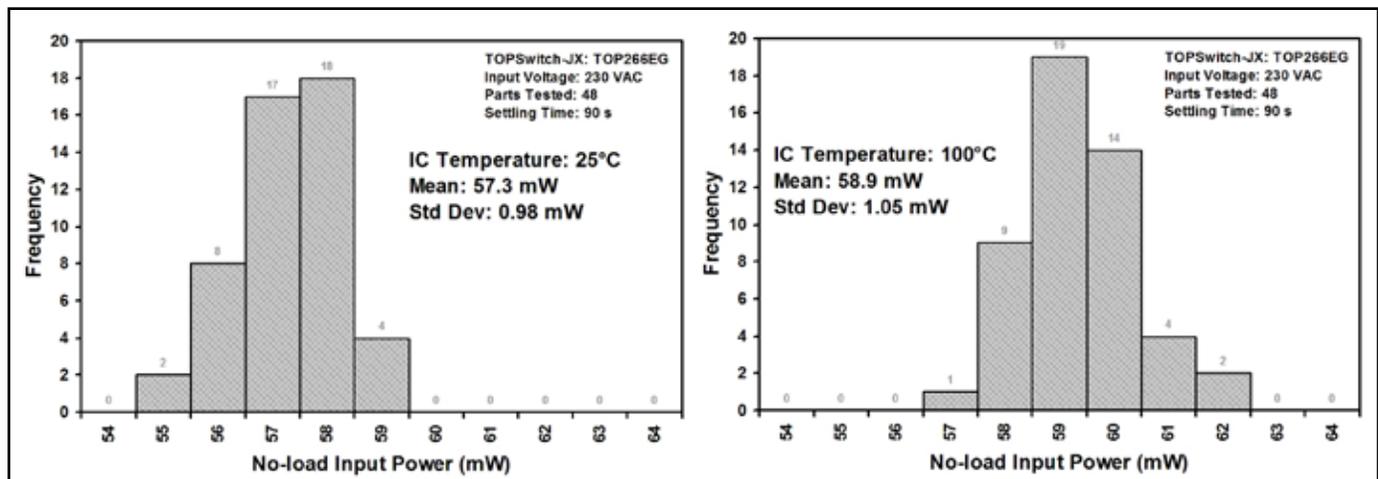


图 26. 在单电源中测量的空载输入功率随器件与温度变化的变化

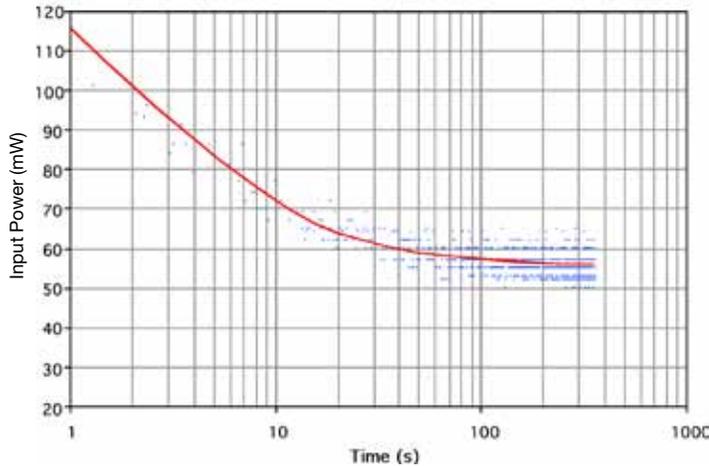


图 27. 空载输入功率稳定延迟时间（图中的点表示功率表测量出的不带滤波的瞬态测量值，线表示平均测量值）

减小输出假负载

单路输出TOPSwitch-JX设计中不需要使用输出假负载，因此可以将其移除。在多路输出设计中，可以在未与次级侧反馈电路相连的输出上使用较小的假负载。如果不使用假负载，这些输出的峰值电压可大大超出其稳定电压。要降低空载输入功率，必须使假负载电阻的值达到最大。为降低耗散，可以添加一个分流稳压器，使主调节输出与次输出的差值保持固定。为降低损耗，应对分流稳压器的晶体管进行配置，以便将电流馈入调节输出而不是输出回路。

使用线电压检测电阻（连接到V引脚）

除了提供输入欠压和过压外，将一个线电压检测电阻连接到V引脚可以启用线电压前馈功能。这样可以减小流入控制引脚所需的电流量，并随着输入电压的提高设定给定的占空比。由于此电流代表着输出负载（经由光耦晶体管和输出从偏置绕组流入光耦器LED），因此减小控制引脚电流还可以降低耗散。尽管线电压检测电阻本身会产生一定的耗散，但这样可提高轻载效率和空载输入功率。

选择并优化箝位

为了最大限度降低轻载和空载条件下的耗散，请选用齐纳二极管或齐纳二极管泄放箝位电路。不应该使用RCD箝位，因为所选取的电阻和电容值要用来限制满载和过载条件下的峰值漏极电压。但在轻载或空载条件下，由于漏感能量和开关频率都较低，该电容电压会大量放电。由于电容在每个开关周期都必须重新充电，直至超过反射输出电压，因此电容电压降低即表示能量损耗。这样会使箝位损耗表现为一个显著负载，好像它与电源输出端相连。

齐纳二极管和齐纳二极管泄放箝位电路可解决上述问题，因为它可将电容上的电压放电控制在最小值以下（由齐纳二极管的额定电压值定义），从而降低轻载和空载条件下的箝位损耗。

图13所示为建议的箝位电路设计。该设计使用最高的 R_{CLAMP} 值，使峰值漏极电压在最大AC输入电压和最大输出过载的最差条件下（失调并进入自动重新启动模式之前）始终保持在675 V以下，从而达到降低箝位耗散的目的。有关箝位设计的详细信息，请参见设计流程第8步。

降低空载条件下的偏置绕组电压

在初级侧，流入控制引脚的反馈电流来自偏置绕组的输出。因此，降低偏置绕组的电压能够降低总耗散。在空载和最大输入电压条件下，用示波器监测偏置绕组电容的电压（图31中的C10）。减少变压器偏置绕组的匝数，直至最小电压 ≥ 7 V。电压低于此值可造成光耦器关断，导致空载时的输出电压升高。由于偏置绕组匝数具有整数特性，因此无法将偏置电压优化到理想的状态。此时，还可以调整偏置电容的值，电容值增大可使偏置电压略微提高。完成优化后，需检查在负载瞬态变化时变压器是否工作正常，确保偏置绕组的电压始终 ≥ 7 V。

增大线电压检测电阻的值

在C引脚和V引脚之间添加一个电阻可以降低线电压检测电阻的耗散（图23）。电阻 R_{CV} 设定从控制引脚到电压监测引脚之间的固定电流。这样可减小需要由直流总线提供并经过 R_{LS1} 和 R_{LS2} 的电流，以超出V引脚的欠压阈值电流。此时， R_{LS1} 和 R_{LS2} 的总值可从4 M Ω 增大到10 M Ω ，同时保持输入欠压阈值不变。

虽然输入欠压(UV)阈值保持不变，但输入过压(OV)阈值电压会增加一倍，线电压前馈纹波的抑制效果会有所下降。实际上，对大部分消费电子产品来说，由于此类产品必须能够满足最低2 kV的差模抗浪涌要求，因此输入过压阈值升高所产生的影响甚微。这种浪涌水平会导致直流总线电压（由大容量电容进行滤波）小幅升高，但升高后的电压远低于可超过器件 BV_{DSS} 的电压水平。

为确保器件自动重新启动功能正常工作， R_{CV} 的值必须 < 300 k Ω 。

将光耦晶体管配置为达林顿晶体管对的组成部分

将光耦器配置为达林顿晶体管对中的一个晶体管（图24）通常可使空载输入功率的降幅达到 ≥ 1 mA $\times V_o$ 。达林顿增益的提高可减小提供给控制引脚以维持输出稳定所需的光耦器LED（反馈）电流。

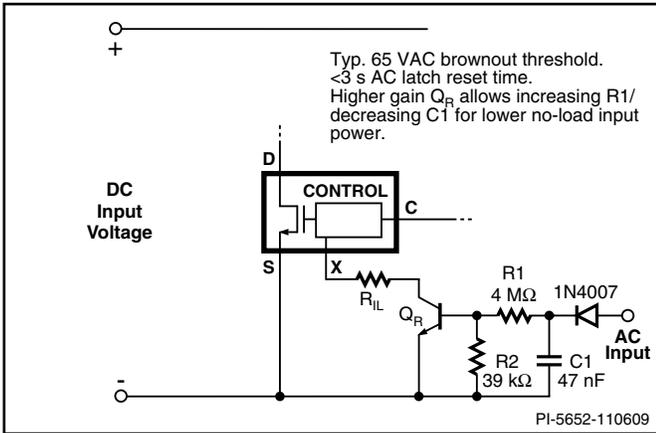


图 28. 外部设定流限、快速AC锁存复位和电压跌落

由于次级反馈电流来自输出并且它代表着输出负载，因此减小反馈电流可以降低该负载，以及相应的输入功耗。因为功耗降低与输出电压相关，所以这种方法对于输出反馈来自较高输出电压(>12 V)的设计最为有效。

晶体管 Q_x 可以是任何通用的NPN型。为了实现稳定性，应在 Q_x 的发射极和控制引脚之间添加一个小值电阻(20 Ω)。然后，在 Q_x 的基极和光耦晶体管的发射极之间添加第二个电阻，以便对光耦器漏极电流进行补偿。这样做的原因还在于，必须将光耦器的增益限制在A的CTR级别(80-160%)，确保光耦晶体管的漏极在高温下不会调制反馈电流。

在次级侧，应提高光耦器LED串联电阻（图31中的R16）的值，使整个环路增益得到正确设置。达到标准反馈配置10倍的值是较好的初始估计值，然后可以根据控制环路伯德图对其调整。

使用TLV431（而不是TL431）次级参考IC

在高压输出设计(>12 V)中，从TL431切换到TLV431可以降低参考IC所需的偏置电流，从而降低空载功耗。为能正确工作，TL431需要1 mA的供电电流，而TLV431只需要100 μ A的电流。供电电流的减小（来自与光耦器LED并联的电阻）可直接降低输出负载，从而降低输入功率。

利用TOPSwitch-JX实现过压保护功能

偏置绕组输出在反激式拓扑结构中跟踪输出电压的变化。如果反馈环路失效并导致输出电压增加时，偏置绕组的电压也将随之增加。该特性可用于检测输出过压状况（图20、21）。

可以选择一个合适的齐纳二极管，并在偏置绕组输出和V引脚之间连接一串联电阻。这样，在正常工作期间，一旦偏置绕组的电压大大超过（通常为20%到30%）偏置输出的最大电压时

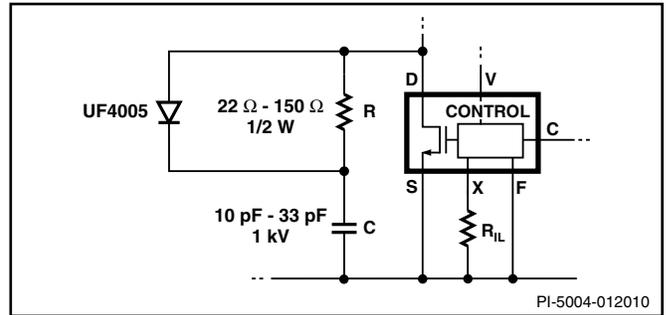


图 29. 使用TOP269-271设计的高功率电源RCD电路

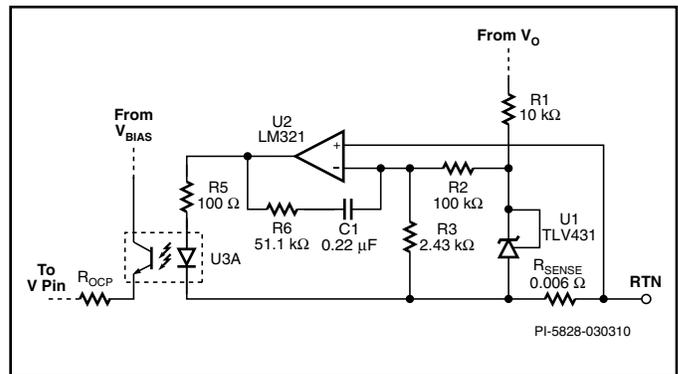


图 30. 精确过流保护电路的实现

（或在正常工作期间出现瞬态负载的情况下），该齐纳二极管便会导通。当流入V引脚的电流超过112 μ A时，开关周期将会瞬间终止。如果引入的电流持续100 μ s超过112 μ A时，器件将进入迟滞过压关断状态。在这种情况下，一旦引入的电流减少到迟滞点以下，开关在经过一个重新启动周期后将会恢复到正常状态。

如果引入的电流超过112 μ A，V引脚上的电压将下降0.5 V。如果V引脚上的压降导致其电流增大并超过336 μ A，元件将进入锁存关断状态。如果串联电阻的值 R_{OVP} 非常小（5 Ω 到22 Ω 范围内），当引入的电流达到112 μ A时，V引脚上的电压将相应发生变化，且该变化足以导致流入的电流超过336 μ A，这时进入过压锁存状态，需要进行复位。在这种状态下，工作将无法恢复直至开始AC输入周期，且C引脚电容放电从而使器件复位。或者，也可以通过将X引脚与S引脚断开连接来复位锁存。当TOPSwitch-JX检测到X引脚引出的电流低于27 μ A时，它会停止开关并复位OVP锁存。

图28中的快速AC复位电路就是采用这种工作原理。该图中的简单内部锁存复位电路使用的是单BJT。与大容量电容相比，电容C1的电压变化速度快，这样是为了在AC发生周期变化时，对锁存进行快速复位。

在一些设计中，连接到偏置绕组的齐纳二极管可能会成为引入V引脚的噪音源。当偏置绕组输出纹波较高，或是在某电路板布局中，通过利用齐纳二极管和V引脚之间的走线对相邻电路的噪音进行去耦，将会出现上述可能。在这种情况下，应采用图21所示的解决方案。

实现过功率保护(OPP)

初级侧检测过功率保护可以通过V引脚检测偏置绕组上的电压来实现。图22所示为这种设计方法。齐纳二极管 VR_{OVP} 提供输出电压保护， VR_{OPP} 与 R_p 和 C_p 一起提供过功率保护。这种设计方法对于所需OPP限值大于满载输出功率的150%的电路非常有效。

OPP功能依赖于次级和偏置绕组之间的不充分耦合。随着输出负载的提高，偏置绕组电压会因漏感的影响而相应升高。如果偏置电压超过 VR_{OPP} 的电压额定值，电流会流入V引脚，使器件停止开关。通过 R_{OPP} 值可以实现锁存或非锁存关断，5.1 k Ω 的值时可引起非锁存关断，而 $<22 \Omega$ 的值可引起锁存关断。为防止在瞬态负载和启动期间发生错误触发， R_p 和 C_p 可提供延迟，建议的时间常数约为2 ms，或大于任何峰值负载条件的持续时间。

VR_{OVP} 的电压应高于 VR_{OPP} ，以防止在启动和瞬态负载期间错误触发OVP功能。

实现精确的过流保护(OCP)

过功率保护(OPP)也可以采用（宽松的）过流保护的方式。但是，如果需要实现精确过流保护(OCP)功能，可使用基于光耦器的独立电路通过V引脚来检测OCP阈值和关断开关器件。

图30所示为精确过流保护电路的实现方式。负载电流大小是通过测量电流检测电阻 R_{SENSE} 的电压降来进行监测的。分流稳压器IC U1与R2和R3组成的电阻分压网络一起用于在运算放大器U2的方向输入端时，生成0.03 V的精确电压参考。这种低压检测阈值允许使用小电流检测电阻。电阻R6和C1提供频率补偿。在本示例中，所选取的 R_{SENSE} 值可使过流阈值设定在5 A。达到设定电流时， R_{SENSE} 上的电压将超过参考电压(0.03 V)，这样会使运算放大器的输出增大。这样可前向偏置光耦器中的二极管，从而通过V引脚触发关断。 R_{OCP} 值可以定义锁存或非锁存关断，5.1 k Ω 的值时可引起非锁存关断，而 $<22 \Omega$ 的值可引起锁存关断。如果过流限值规定的比较宽，可以使用小信号二极管取代U2作为电压参考。

使用TOPSwitch-JX设计高功率电源

使用反激式拓扑结构设计高功率电源时，还需要额外考虑以下因素：

1. 变压器中的临界损耗会非常大，这会使高功率反激式变压器的设计对于制作方法非常敏感，因为涉及到绕组配置以及多绕线配置中股数的选择。高频变压器中线径的选择取决于开关频率的大小。透入深度与开关频率成正比，并限制每个导体的可用截面积。多股绕组和绞合线通常用来降低高频变压器中的导通损耗。为了进一步降低集肤效应，特别建议使用铜箔绕组来实现低压高电流($>6 A$)输出。
2. 变压器和PCB走线的漏感的略微增大，都会导致缓冲吸收电路功耗的大幅提高。为降低漏感，必须在变压器中使用三明治绕组结构，并减小PCB走线的长度，特别是减小次级绕组、输出二极管和输出电容所形成的环路的长度。为了实现高效率，缓冲吸收电路的设计非常关键；通常在高功率水平下，尺寸正确的RCDZ箝位将能确保漏源极电压不会超过680 V。
3. 高输出电流下，次级纹波电流会增大，并可能超过单个极低ESR输出电容的额定值。因此，通常会使用多个并联电容。在这种情况下，必须特别注意使到所有电容的走线长度都相等，以实现纹波电流的平均分配。这样可以确保相同的耗散和温升，这对于确保可接受的工作寿命至关重要。即使采用了多个电容，但还需要一个次级LC滤波器来减小开关频率纹波。
4. 尽量减小运载大量开关电流的PCB走线的长度和环路面积，因为它们可以构成辐射EMI的来源。

凡是使用TOPSwitch-JX的高功率设计，特别是使用TOP269 – TOP271器件的设计，建议在PCB板上采取预先措施，以使小型RC（或RCD）电路位于漏极和源极之间（图29）。这样可以降低开关噪声对电源工作的影响，同时还有助于降低辐射EMI。一个22 Ω 到150 Ω 的电阻和一个介于10 pF到33 pF之间的1 kV额定陶瓷电容将适用于大部分应用。

添加二极管可使缓冲电路中的功耗最高降低1/2。

快速设计校验

对于任何使用TOPSwitch-JX的电源设计，都应对实际样板进行测试以确保在最差条件下元件的规格没有超过规定范围。建议至少进行如下测试：

1. 最大漏极电压 – 检验峰值 V_{DS} 在最高输入电压和最大过载输出功率时是否超过680 V。当输出过载到电源即将进入自动重启状态（稳压丢失）时的功率即为最大过载功率。
2. 最大漏极电流 – 在最高环境温度、最高输入电压和最大输出负载情况下，观察启动时的漏极电流波形，检验是否出现变压器饱和的征兆和过多的前沿电流尖峰。TOPSwitch-JX的前沿消隐时间最小值为180 ns，可以防止接通周期过早地终止。

在180 ns的最小消隐时间结束前，观察漏极电流波形，检验前沿电流是否在允许的流限范围内。

3. 热检查 – 在最大输出功率、最小输入电压和最高环境温度条件下，检验TOPSwitch-JX、变压器、输出二极管和输出电容是否超过温度限制。由于数据手册所说明的TOPSwitch-JX器件与器件之间的 $R_{DS(ON)}$ 存在差异，应留出足够的温度裕量。建议V封装器件的源极引脚的最高温度或E封装散热片的温度不高于110 °C，这样就可以适应上述参数的变化。作为选择，也可以采用如下方法检测设计裕量：将一个外部电阻与漏极引脚串联，并将相同的散热片附着在上面。所选电阻的取值为该器件测得的导通电阻($R_{DS(ON)}$)与数据手册中规定最差条件下的最大导通电阻值之差。

附录A

应用范例

低空载功耗、高效率的65 W通用输入适配器电源

图31所示电源电路的交流输入范围为90 VAC到264 VAC，输出为19 V, 3.42 A，适用于在密闭的适配器壳体内工作。本设计的目标是实现最高满载效率、最高平均效率（在25%、50%、75%和100%负载点的平均值）以及超低空载功耗。此外，还应具备锁存输出过压关断功能，并符合安全机构的功率受限电源(LPS)的限值要求。所测得的效率和空载性能汇总在电路图表格内，这些数据可轻松超出现行能效要求。

为达到上述设计目标，特此制定了以下设计要点。

PI元件的选择

- 选择可提供高于所需输出功率的更大器件，以提高效率。

TOPSwitch-JX的流限设定功能允许选择可提供高于所需输出功率的更大器件。这样可通过降低MOSFET导通损耗($I_{RMS}^2 \times R_{DS(ON)}$)来实现高满载、低输入电压效率，但同时可保持过载功率、变压器和其他元件大小不变，如同使用了较小的器件。

在本设计中，选用的器件尺寸比输出功率（功率表中的推荐值）所需的器件尺寸更大。这样通常可实现最高效率。再继续增大器

件尺寸，通常会取得同样的效果，或降低效率（MOSFET越大，带来的开关损耗越大）。

线电压检测电阻值

- 将线电压检测电阻值从4 MΩ增加到10.2 MΩ，空载输入功耗可降低16 mW。

线电压检测通过电阻R3和R4来实现，可设定输入欠压和过压阈值。这两个电阻的总值从标准的4 MΩ增加到10.2 MΩ。这样可降低电阻耗散，从而将空载输入功率从~26 mW降低到~10 mW。为补偿UV（导通）阈值的最终差值，在控制和电压监测引脚之间添加电阻R20。这给V引脚增加了相当于~16 μA的DC电流，此时只需通过R3和R4提供9 μA电流即可达到25 μA的V引脚（导通）阈值电流，并将UV阈值设置到95 VDC。

这种技术方法在将最终OV阈值从~450 VDC提升到~980 VDC时确能有效禁用OV功能。不过这对本设计并无影响，因为在本设计中，输入电容值(C2)足能承受大于2 kV的差模浪涌，不会使漏极电压达到U1的BV_{DSS}额定值。

箝位配置 - RZCD与RCD比较

- 选择RZCD（齐纳二极管泄放）而不是RCD箝位，可实现更高的轻载效率和更低的空载功耗。

VR2、C4、R5、R6、R11、R28、R29及D2共同构成箝位电路。该电路可将漏感引起的峰值漏极电压尖峰控制到内置

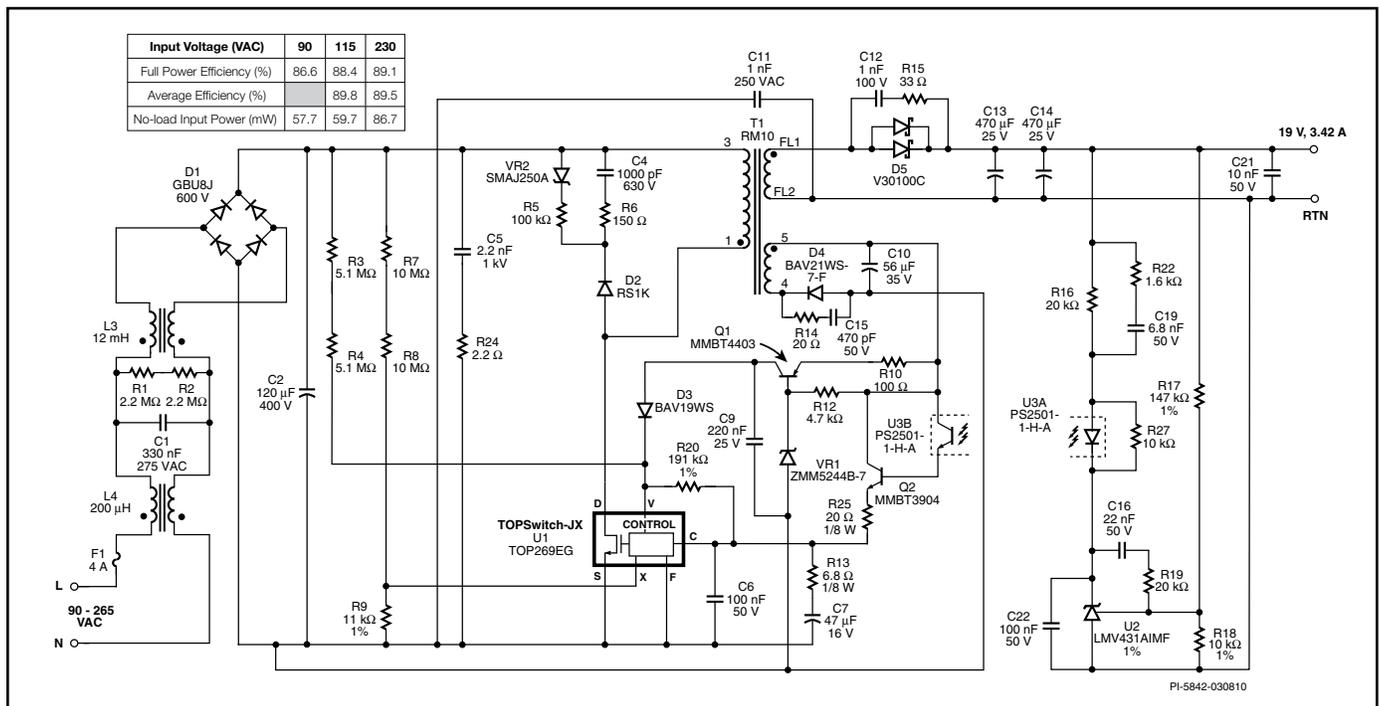


图 31. 低空载功耗、高效率的19 V、65 W通用输入适配器电源

TOPSwitch-JX MOSFET的 BV_{DSS} 额定值以下。用这种设计取代标准的RCD箝位可提高轻载效率和空载输入功率。

在标准RCD箝位中，C4会通过一个并联电阻而不是一个电阻和串联齐纳二极管来进行放电。在RCD箝位中，选取的电阻值用来限制满载和过载条件下的峰值漏极电压。但在轻载或空载条件下，由于漏感能量和开关频率都已下降，因此该电阻值会导致电容电压大量放电。由于电容在每个开关周期都必须重新充电，直至超过反射输出电压，因此电容电压降低即表示能量损耗。这样会使箝位损耗表现为一个显著负载，好像它与电源输出端相连。

RZCD箝位可解决上述问题，因为它可将电容上的电压放电控制在最小值以下（由VR2的额定电压值定义），从而降低轻载和空载条件下的箝位损耗。

电阻R6和R28用来衰减高频率振铃，从而降低EMI。由于电阻与VR2串联（限值峰值电流），因此可使用标准功率齐纳二极管而不是TVS型二极管来降低成本（不过，TVS型二极管的选用取决于SMD封装版本的供货情况）。选用的二极管D2有800 V的额定电压，而不是典型的600 V，因为前者反向恢复时间更长，达500 ns。这样，在二极管反向恢复期间可使箝位恢复部分能量，从而提高效率。在使用SMD元件时，可并联多个电阻以分散损耗。

反馈配置

- 与光耦晶体管共同形成的达林顿连接，可减小次级侧反馈电流，从而降低空载输入功率。
- 次级侧上使用的低压、低电流电压参考IC，可减小次级侧反馈电流，从而降低空载输入功率。
- 在空载、高输入电压条件下，将偏置绕组电压调至~9 V，可降低空载输入功率。

在高输入电压条件下，反馈到控制引脚上的反馈电流通常为~3 mA。该电流不仅来自偏置绕组（C10上的电压），而且还直接来自输出。二者均代表电源输出端的负载。要降低偏置绕组在空载条件下的损耗，需调整偏置绕组匝数和C10的值，使C10上的最小电压约为9 V。这是保持对光耦器偏置供电的最低值。在电路中增加Q2，使其与U3B形成达林顿连接，以降低次级侧反馈电路的损耗。这样可以将次级侧上的反馈电流减小到~1 mA。增加的环路增益（由于晶体管的直流放大系数 h_{FE} ）通过增大R16的值和添加R25进行补偿。用1.24 V LMV431替换标准的2.5 V TL431参考电压，将供电电流要求从1 mA降低到100 μ A。

输出整流管的选择

- 为输出整流管选用高额定电流、低 V_f 的肖特基整流二极管。

为D5选用15 A、100 V的双向肖特基整流二极管（ V_f 值为0.455 V @5 A）。这比降低阻性损耗和正向电压损耗要求的额定电流值要高，目的在于同时改善满载和平均效率。由于TOPSwitch-JX内置MOSFET的额定电压较高，可使变压器初级与次级匝数比较高（ $V_{OR} = 110$ V），因此需要使用100 V的肖特基二极管。

增强的输出过压关断敏感性

- 通过添加晶体管Q1和VR1来增强过压关断敏感性。

在开环条件下，输出电压以及偏置绕组电压将会上升。当电压上升到超过VR1的电压与 V_{BE} 压降总和时，Q1将会导通，电流馈入V引脚。添加Q1可确保流入V引脚的电流即使在以下条件下都足以超过锁存关断阈值：电源在低输入电压下工作时输出达到满载（因为在此条件下，输出电压过冲相对较小）。

输出过载功率限制可通过X引脚的流限设定功能以及R7、R8和R9来实现。电阻R8和R9随着输入电压的升高来降低器件流限，取得相对平坦的过载功率曲线，这低于100 VA功率受限电源(LPS)的限值要求。为了在单一故障情况下（如R8开路）仍能满足这一限值要求，也可利用过载期间出现的偏置电压上升来触发锁存关断。

极低空载功耗、高效率的30 W通用输入敞开式电源

下图32所示电源电路的交流输入范围为85 VAC到265 VAC，输出为12 V, 2.5 A。本设计的目标是实现最高满载效率、最高平均效率（在25%、50%、75%和100%负载点的平均值）以及超低空载功耗。此外，还应具备锁存输出过压关断功能，并符合安全机构的功率受限电源(LPS)的限值要求。实际效率和空载性能已汇总在电路图中的图表中，可轻易超出电流能效要求。

为达到上述设计目标，特此制定了以下设计要点。

PI元件的选择

- 环境温度为40 °C，允许使用尺寸小于功率表中的指定值的器件。

本设计中选用的器件是基于功率表（表1）中“PCB散热”栏下的85-265 VAC、敞开式参数。出于规定环境温度为40 °C（功率表中假设为50 °C）以及PCB铺铜区域和器件散热片布局的考虑，本设计选用的器件尺寸较小（选用TOP266V，而不是

TOP267V)。随后测得的散热和效率数据证实了这一选择的正确性。器件在环境温度40 °C、85 VAC、47 Hz（最差情况）的满载条件下的最高温度为107 °C，并且平均效率超过能源之星和EuP Tier 2要求的83%。

变压器磁芯的选择

- 在132 kHz的开关频率下，可选择更小的磁芯以降低成本。

磁芯的尺寸与开关频率成函数关系。选择132 kHz的高开关频率，就可以使用更小尺寸的磁芯。高开关频率不会给TOPSwitch-JX设计的效率带来不良影响，这是因为与分立式MOSFET相比，该器件的漏极-源极电容(C_{oss})较小。

线电压检测电阻值

- 将线电压检测电阻值从4 M Ω 增加到10.2 M Ω ，空载输入功耗可降低16 mW。

线电压检测通过电阻R1和R2来实现，可设定输入欠压和过压阈值。这两个电阻的总值从标准的4 M Ω 增加到10.2 M Ω 。这样可降低电阻耗散，从而将空载输入功率从~26 mW降低到~10 mW。为补偿UV阈值的最终差值，在控制和电压监测引脚之间添加电阻R12。这给V引脚增加了相当于~16 μ A的DC电流，此时只需通过R1和R2提供9 μ A电流即可达到25 μ A的V引脚阈值电流，并将UV阈值设置到约95 VDC。

这种技术方法在将最终OV阈值从~450 VDC提升到~980 VDC时确能有效禁用OV功能。不过这对本设计并无影响，因为在本设计中，输入电容值(C3)足能承受大于1 kV的差模浪涌，不会使漏极电压达到U1的 BV_{DSS} 额定值。

箝位配置 – RZCD与RCD比较

- 选择RZCD（齐纳二极管泄放）而不是RCD，可实现更高的轻载效率和更低的空载功耗。

VR1、C4、R5及D5共同构成箝位电路。该电路可将漏感引起的峰值漏极电压尖峰控制到内置TOPSwitch-JX MOSFET的 BV_{DSS} 额定值以下。用这种设计取代标准的RCD箝位可提高轻载效率和空载输入功率。

在标准RCD箝位中，C4会通过一个并联电阻而不是一个电阻和串联齐纳二极管来进行放电。在RCD箝位中，可选择R5电阻值来限制满载和过载情况下的峰值漏极电压。但在轻载或空载条件下，由于漏感能量和开关频率都已下降，因此该电阻值会导致电容电压大量放电。由于电容在每个开关周期都必须重新充电，直至超过反射输出电压，因此电容电压降低即表示能量损耗。这样会使箝位损耗表现为一个显著负载，好像它与电源输出端相连。

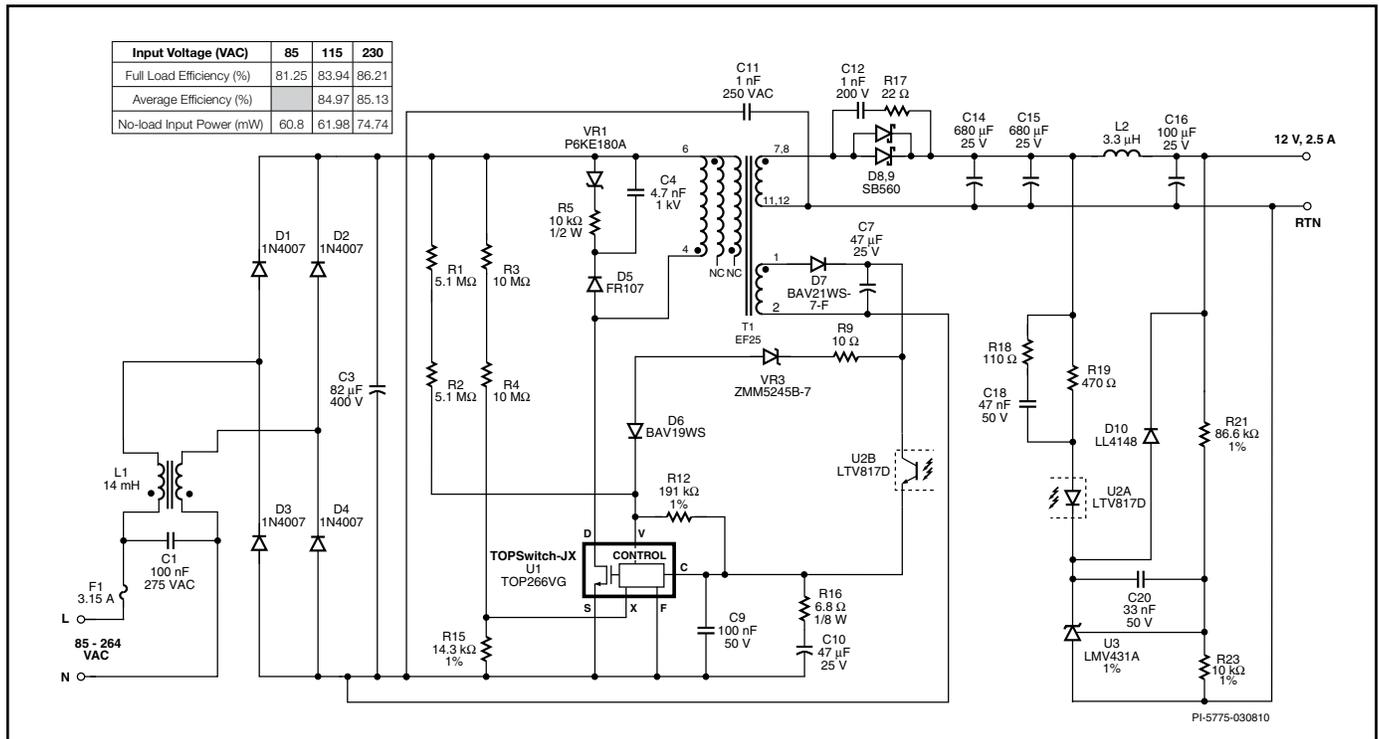


图 32. 极低空载功耗、高效率的12 V, 30 W通用输入适配器电源

RZCD箝位可解决上述问题，因为它可将电容上的电压放电控制在最小值以下（由VR1的额定电压值定义），从而降低轻载和空载条件下的箝位损耗。齐纳二极管VR1表现为一种高功耗TVS二极管，但是由于元件中会出现低峰值电流，也可选用低成本的标准齐纳二极管。

在许多设计中，可以使用小于50 Ω 的电阻与C4串联，实现高频率振铃衰减和EMI性能提升，但在本设计中没有必要。

反馈电路配置

- 采用高CTR光耦器来减小次级偏置绕组电流和空载输入功率。
- 次级侧上使用的低压、低电流电压参考IC，可减小次级侧反馈电流和降低空载输入功率。
- 在空载、高输入电压条件下，将偏置绕组电压调至~9 V，可降低空载输入功率。

在高输入电压条件下，反馈到控制引脚上的反馈电流通常为~3 mA。该电流不仅来自偏置绕组（C10上的电压），而且还直接来自输出。二者均代表电源输出端的负载。

要降低偏置绕组在空载条件下的损耗，需调整偏置绕组匝数和C7的值，使C7上的最小电压约为9 V。这是保持对光耦器偏置供电和维持输出调节的最低值。

为降低次级侧反馈电路的耗散，本设计使用了一个高CTR（CTR为300 – 600%）光耦器。这样可将次级侧的光耦LED电流从~3 mA减小到<~1 mA，从而降低输出上的有效负载。

用1.24 V LMV431替换标准的2.5 V TL431参考电压，将该元件的供电电流要求从1 mA降低到100 μ A。

输出整流管的选择

- 采用高 V_{OR} 值后可使用60 V肖特基二极管，以提高效率和降低成本。

TOPSwitch-JX具有725 V的高 BV_{DSS} 额定值（典型功率MOSFET的额定值为600 V或650 V），因此可提高变压器的初级与次级匝数比（反射输出电压或 V_{OR} ）。这样可以降低输出二极管的电压应力，允许使用成本效益更高的60 V（相对于80 V或100 V）肖特基二极管。低压二极管正向电压降的减小可提升电源效率。选用两个轴向5 A, 60 V肖特基整流二极管进行并联，以降低成本和提高效率。这与在散热片上安装一个大电流TO-220封装二极管相比，不仅可以使该二极管通过PCB散热以降低成本，还可以保持效率不变。对于这种配置的建议是：将每个二极管的额定电流值都设为输出电流的两倍；两个二极管共用一个阴极PCB区域，以使它们的温度保持一致。实际上，这两个二极管的电流分流效率非常高，通过监测其各自的温度可以证明这一点。

输出电感后级滤波器软结束

- 使用电感L2可实现输出软结束和省去一个电容。

为防止启动时发生输出过冲，L2上的电压用于提供软结束功能。L2上的电压超过U2A和D10的正向压降时，电流会流经光耦LED并对初级侧提供反馈。这种设计可限制输出电压的上升率，直到它达到稳压为止，它还可省去通常置于U3的电容，仍能提供同样的功能。

附录 B

多路输出反激式电源的设计

总输出功率相同的多路输出反激电源和单路输出反激电源设计的唯一区别在于次级侧的设计。

设计时对输出功率加以汇总

进行多路输出反激式设计的简单方法如AN-22（使用TOPSwitch设计多路输出反激式电源）所述。开始设计时，将多个输出的总功率进行汇总，使其等效于一个主输出的输出功率，进行单路输出的设计。这样可以得到次级峰值电流 I_{SP} 以及RMS电流 I_{SRMS} 。同时也计算出了相当于汇总功率的输出电流平均值 I_O 。

简化设计的假设条件

每路输出的电路阻抗决定了各个输出绕组中的电流波形。该阻抗与漏感、整流管特性、电容值以及输出负载有关。尽管各个输出的电流波形可能不完全一样，为简化近似，可以合理地假定所有输出的电流都与总电路相同的单路输出电源具有相同的波形。

输出RMS电流与平均值电流

输出电流的平均值总是与直流负载电流相等，而RMS电流值则由电流波形的形状决定。由于假定所有输出的电流波形形状相同，因而它们的RMS电流与平均值电流的比例也是相同的。因此，输出平均值电流已知的情况下，每个输出绕组的RMS电流值可计算如下，其中 $I_{SRMS(n)}$ 和 $I_{O(n)}$ 分别为输出的次级RMS电流

$$I_{SRMS}(n) = I_O(n) \times \frac{I_{SRMS}}{I_O}$$

和输出平均值电流，而 I_{SRMS} 和 I_O 则为相同功率的单路输出等效设计中得到的次级RMS电流和平均值电流。

针对每个输出定制的次级侧设计

每个次级绕组的圈数根据其各种输出电压 $V_{O(n)}$ 计算：

$$N_S(n) = N_S \times \frac{V_O(n) + V_D(n)}{V + V_D}$$

输出整流管的最大反向电压为：

$$PIV_S(n) = V_{MAX} \times \frac{N_S(n)}{N_P} + V_O(n)$$

已经得到了输出RMS电流 $I_{SRMS(n)}$ 、次级绕组圈数 $N_{S(n)}$ 及输出整流管最大反向电压 $PIV_{S(n)}$ ，则可以采用与单路输出设计完全相同的方法对每个输出进行次级侧的设计。

次级绕组线径

在计算次级绕组线径时，TOPSwitch-JX设计表中假定CMA为200。这样得出，使用单独绕组时每个输出的RMS电流所需的最小线径值。为了获得更好的热性能，设计师可能希望采用更大的线径。其他应考虑的事项，比如集肤效应和骨架范围，建议使用采用多股并联绕线技术来绕制的小线径的绕线。此外，在变压器制造的实际考量中，可能也需要关注绕线的线径。

版本	注释	日期
A	初始版本	03/10

有关最新产品信息, 请访问: www.powerint.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.powerint.com. Power Integrations grants its customers a license under certain patent rights as set forth at <http://www.powerint.com/ip.htm>.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

The PI logo, TOPSwitch, TinySwitch, LinkSwitch, DPA-Switch, PeakSwitch, EcoSmart, Clampless, E-Shield, Filterfuse, StakFET, PI Expert and PI FACTS are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies.
©2010, Power Integrations, Inc.

Power Integrations全球销售支持网络

全球总部
5245 Hellyer Avenue
San Jose, CA 95138, USA.
Main: +1-408-414-9200
Customer Service:
Phone: +1-408-414-9665
Fax: +1-408-414-9765
e-mail: usasales@powerint.com

中国 (上海)
Room 1601/1610, Tower 1
Kerry Everbright City
No. 218 Tianmu Road West
Shanghai, P.R.C. 200070
Phone: +86-21-6354-6323
Fax: +86-21-6354-6325
e-mail: chinasales@powerint.com

中国 (深圳)
Rm A, B & C 4th Floor, Block C,
Electronics Science and
Technology Bldg., 2070
Shennan Zhong Rd,
Shenzhen, Guangdong,
China, 518031
Phone: +86-755-8379-3243
Fax: +86-755-8379-5828
e-mail: chinasales@powerint.com

德国
Rüeckertstrasse 3
D-80336, Munich
Germany
Phone: +49-89-5527-3910
Fax: +49-89-5527-3920
e-mail: eurosales@powerint.com

印度
#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
Fax: +91-80-4113-8023
e-mail: indiasales@powerint.com

意大利
Via De Amicis 2
20091 Bresso MI
Italy
Phone: +39-028-928-6000
Fax: +39-028-928-6009
e-mail: eurosales@powerint.com

日本
Kosei Dai-3 Bldg.
2-12-11, Shin-Yokomana,
Kohoku-ku
Yokohama-shi Kanagwan
222-0033 Japan
Phone: +81-45-471-1021
Fax: +81-45-471-3717
e-mail: japansales@powerint.com

韩国
RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
Fax: +82-2-2016-6630
e-mail: koreasales@powerint.com

新加坡
51 Newton Road
#15-08/10 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
Fax: +65-6358-2015
e-mail: singaporesales@powerint.com

台湾
5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei, Taiwan 114, R.O.C.
Phone: +886-2-2659-4570
Fax: +886-2-2659-4550
e-mail: taiwansales@powerint.com

欧洲总部
1st Floor, St. James's House
East Street, Farnham
Surrey GU9 7TJ
United Kingdom
Phone: +44 (0) 1252-730-141
Fax: +44 (0) 1252-727-689
e-mail: eurosales@powerint.com

技术支持热线
World Wide +1-408-414-9660

技术支持传真
World Wide +1-408-414-9760